

**BİLGİSAYAR DESTEKLİ BİR EKG SİSTEMİ
İLE BİYOPOTANSİYEL ÖLÇÜMÜ**

Mehmet Avcı




**Anadolu Üniversitesi
Fen Bilimleri Enstitüsü
Lisansüstü Yönetmeliği Uyarınca
Elektrik-Elektronik Müh. Anabilim Dalı
Elektronik Bilim Dalında
YÜKSEK LİSANS TEZİ
Olarak Hazırlanmıştır**

Danışman: Doç.Dr. Hamdi Atmaca

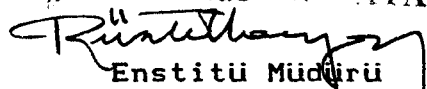
Eylül - 1988

Mehmet Avcı'nın YÜKSEK LİSANS tezi olarak hazır-
ladığı "BİLGİSAYAR DESTEKLİ BİR EKG SİSTEM İLE BİYOPOLİ-
TANSİYEL OLÇUMU" başlıklı bu çalışma, jürimizce lisans-
üstü yönetmeliğinin ilgili maddeleri uyarınca deęerlen-
dirilerek kabul edilmiştir.

3.11.1988

Başkan : Doç. Dr. Hamdi Atmaca 
Üye : Prof. Dr. Muhsin ZOR 
Üye : DOÇ. M. S. KILICKAYA 

Fen Bilimleri Enstitüsü Yönetim Kurulu'nun 22.11.1988
gün ve .195/9.....sayılı kararıyla onaylanmıştır.

Prof. Dr. Rüstem KAYA

Enstitü Müdürü

İÇİNDEKİLER

ÖZET	i
SUMMARY	ii
BÖLÜM 1 İNSAN VÜCUDUNDAKİ BİYOPOTANSİYELLER	1
BÖLÜM 2 ELEKTROKARDİYOĞRAFI	2
2.1. Kalbin Çalışma Prensibi	2
2.2. Hücre İçi Elektrokardiyogramı	4
2.3. Miyokard'da Depolarizasyon ve Repolarizasyon	7
2.4. EKG Zaman Eğrisi	9
2.5. Elektriksel Aktivitenin Kaydedilmesi ..	10
BÖLÜM 3 ELEKTRODLAR	14
3.1. Elektrod Teorisi	15
3.2. Elektrodlarda DC Potansiyelin Oluşumu..	16
3.3. Elektrodların Empedans ve Frekans Bağımlılığı	18
BÖLÜM 4 INSTRUMENTASYON KUVVETLENDİRİCİSİ	20
4.1. Ortak Mod Zayıflatma Oranı (CMRR)	22
4.2. CMRR Dışımı	25
4.3. Instrumentasyon Kuvvetlendiricisinin Optiksel Yalıtımı	26
4.4.1. Optokuplörün Özellikleri	27
4.4.2. Optokuplör Kullanımı	30

BÖLÜM 5	FİLTRELER	34
5.1.	Alçak Geçiren Filtre	34
5.2.	Butterworth Filtre	38
BÖLÜM 6	ANALOG / SAYISAL DÖNÜŞTÜRÜCÜ	46
BÖLÜM 7	DEVRENİN TASARIMI ve ÇALIŞMASI	52
7.1.	DC Offet Devresi	55
7.2.	Bilgisayar	56
7.3.	Sonuç ve Öneriler	56
KAYNAKLAR	62
Ek 1	- Programlama	63
Ek 2	- Kullanılan Entegrelerin Özellikleri	65
Ek 3	- Baskı Devre	92

ÖZET

Bu çalışmada, insan vücudunda bulunan biyopotansiyellerden EKG sinyalinin bilgisayarda gözlenmesini sağlayacak uygun bir önyükselteç yapılması istenmektedir. Bu nedenle instrumentasyon kuvvetlendiricisi olarak da isimlendirilen bu önyükselteç devresi tasarlanmıştır.

Bu devre, iki canlı uç veya bir canlı ile bir cansız uç arasındaki potansiyel farkını ölçebilmektedir. Bu şekilde ölçme yapabilmek için fark kuvvetlendirici devresi temel alınarak, yukarıda bahsedilen instrumentasyon kuvvetlendiricisi yapılmıştır.

Tasarlanan devrenin tamamı beş üniteden oluşmaktadır. Bunlar, instrumentasyon kuvvetlendirici, optokuplör devresi, filtre, dc ofset ve analog/sayısal çevirici devrelerdir.

Bu üniteleri içeren devreler gerçekleştirilerek EKG sinyalleri bilgisayara aktarılmıştır.

SUMMARY

In this project, a suitable preamplifier was designed to measure ECG biopotentials in human body from which the signals were processed by the computer. Therefore, this preamplifier circuit was also called an instrumentation amplifier.

This preamplifier could measure a potential difference between two live points or a live point and a neutral point. For this purpose, a differential amplifier was designed in order to measure the bio-signals.

This project contains five units. These units are the instrumentation amplifier, the opto-cuplor circuit, the filter, the dc offset and the analog/digital converter.

The above circuits were designed in order to process the ECG signals by means of the computer.

TEŐEKKUR

Bu alıőmayı bana yksek lisans tezi olarak veren ve bunun gerekleŐtirilmesinde her trl yardımı saėlayan hocam Sayın Do. Dr. Hamdi Atmaca'ya sonsuz teŐekkrlerimi bir bor bilirim.

BÖLÜM 1**İNSAN VÜCUDUNDAKİ BİYOPOTANSİYELLER**

Tüm canlılar fizyolojik faaliyetleri sonucunda elektrik sinyalleri üretmektedir. Bazı hücreler tarafından üretilen bu aktif potansiyeller, hücre içerisine yerleştirilen bir iğne elektrod veya deri yüzeyine temas eden elektrodlar vasıtası ile alınabilir. Bu çok sayıdaki aktif potansiyeller vücut yüzeyinin çeşitli noktalarında bulunmaktadır. İnsan vücudunda oluşan bu biyopotansiyellerden kalp tarafından üretilenlerine "electrocardiogram" kısaca (ECG veya EKG), beyin tarafından üretilenlere "electroencephalogram" (EEG) ve kaslar tarafından üretilenlerine de "electromyogram" (EMG) adı verilmektedir. EKG bunlar arasında en büyük genlikli (deri yüzeyinden aktarılabilen) işaret olduğundan, bu projede ayrıntılı olarak incelenmiştir.

BÖLÜM 2

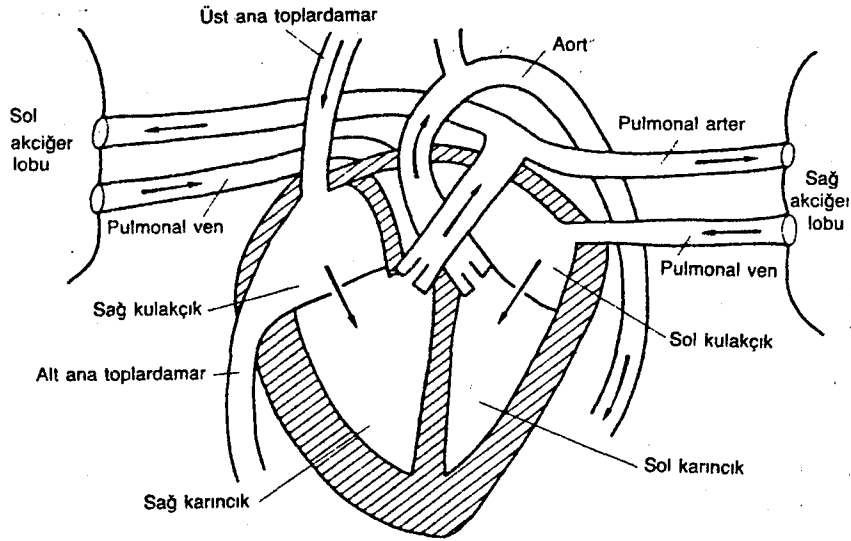
ELEKTROKARDİYOĞRAFI

Kalbin kasılmasını temin eden ve düzenleyen elektriksel işaretlerin ölçülmesini sağlayan cihazlara elektrokardiyografi cihazı ve elde edilen kayıtlara da elektrokardiyogram adı verilir. Elektrokardiyogramı anlayabilmek için kalbin anatomisini iyi bilmek gerekmektedir.

2.1. KALBIN ÇALIŞMA PRENSİBİ

Kalp, kanı damarlarda dolaştırarak bedende bir pompa görevini yerine getirmektedir. Kalbin sol karıncığından atardamarlara pompalanan kan oksijenlenmiştir. Basınç altında bedeni dolaşarak yaşam için son derece önemli olan oksijenle tüm organları besler ve organlar da bu oksijeni kandan alırlar. Aynı zamanda özümlemeden dolayı organlarda meydana gelen karbondioksitte kana geçer. Böylece oksijeni azalmış ve karbondioksit mikta-

rı çoğalmış olan kan toplardamarlarla sağ karıncığa geri döner. Ardından akciğere pompalanır, orada karbondioksidten arınıp yeniden oksijenlenir ve kan dolaşımı da böylece baştan başlar. Atardamarda dolaşan kana oksijenlenmiş kan, toplardamarda dolaşan kana oksijeni alınmış kan denir. Şekil 2.1.'de kalp, akciğer ve kan dolaşımının şeması görülmektedir.



Şekil 2.1. Kalp, akciğer ve kan dolaşımı

Kanın bu oksijen ve karbondioksiti taşımaya birimi başına belirli bir miktarda sınırlanmıştır. Fakat bedensel zorlamada kaslarımızın olağan durumlarından daha çok oksijen tüketmesi ile daha çok karbondioksit üretmesi ve buna karşılık kanın da belirli miktardan fazlasını iletememesi nedeniyle kalbin aynı zaman birimi içerisinde daha çok kan pompalamasını gerektirir ki tüm organlar yeterince oksijenle beslenebilsin. Böylece kalp daha çabuk çalışmaya başlar, daha hızlı atar ve nabız sayısı yükselir.

Kalp, akciğer ve kan dolaşımının daha kolay anlaşılması için kalp çoğu zaman bir tulumba ile karşılaş-

tırılır. Buna rağmen kalbi bir üreteçle karşılaştırmak daha uygun olur. Her kan dolaşımı için gereken güçle birlikte enerji tüketilir ve ardından gelen dinlenme sırasında da yeniden enerji toplanır. Bir kalbin ömür boyunca dakikada 60 - 70 kez attığı düşünülecek olursa o zaman ancak kalbin sonsuz verimi anlaşılabilir (1).

2.2. HÜCRE İÇİ ELEKTROKARDİYOGRAMI

Kalpte özel fonksiyonları bulunan üç tip hücre vardır. Bir grup hücrenin başlıca fonksiyonu uyarı doğurmaktır. Bir başka grup hücre primer olarak iletim görevini üstlenmiştir. Üçüncü grup ise mekanik kasılma işini yapar.

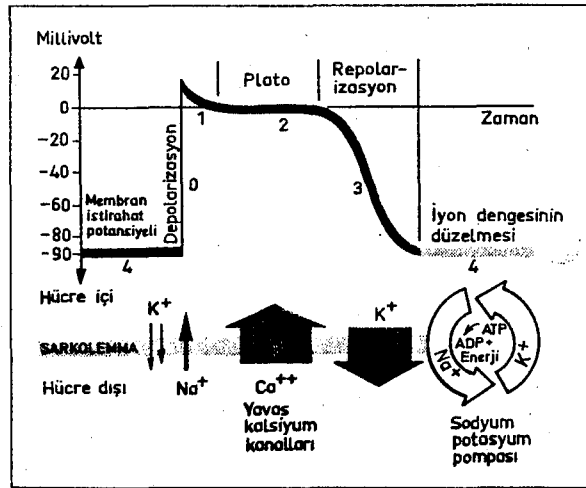
Her kalp atışı, yani kasılması, bir elektriksel uyarı tarafından başlatılır ve EKG yi meydana getiren de işte bu elektriksel olaydır. Her kalp döneminde kalp hücrelerinde meydana gelen elektriksel potansiyel değişikliklerinin mikroelektrodlar aracılığı ile ölçülebilmesi, klinik elektrokardiyografinin daha iyi anlaşılmasında önemli bir etken olmuştur.

İstirahat halindeki kalp hücresi polarize olup hücre dışında (+), içinde ise (-) elektrik yükü vardır. Hücre içinde yaklaşık -90 mV' luk bir elektrik potansiyel farkı kaydedilir. Bu elektriksel yük farkı, hücre içi ve dışındaki iyonların meydana getirdiği iyonik gradiyentten kaynaklanmaktadır. Hücre zarı, istirahatte elektrolit geçimine imkan vermez; hücre içinde fazla miktarda potasyum, hücre dışında ise fazla miktarda sodyum bulunur.

İstirahat halindeki hücre içinden mikroelektrod

aracılığı ile ölçülen -90 mV'luk elektriksel potansiyele "transmembran istirahat potansiyeli" adı verilir. Hücre zarının iyon geçirmezliğinin kimyasal, elektriksel veya mekaniksel bir uyarı ile bozulması halinde oluşan iyon hareketlerinin doğurduğu elektriksel potansiyel değişikliğine "aksiyon potansiyeli" denilir.

Şekil 2.2'de görüldüğü gibi aksiyon potansiyeli eğrisinde transmembran iyon akışına ait beş dönem görülür; bunlar faz 0,1,2,3,4 olarak adlandırılır.



Şekil 2.2. Kalp hücresindeki aksiyon potansiyel eğrisi

İlk dönemde (Faz 0) hücre zarının sodyum (Na^+) geçirmezliği, özel sodyum kanallarının açılmasıyla birden azalır. Hücre dışında bol miktarda bulunan Na, gradient farkı ile hücre içine girer ve hücre içi negatifliği hızla azalır. Böylece hücre polarize durumdan çıkar (Faz 0: Depolarizasyon). Hatta hücre içi hücre dışına göre $+10$ mV daha pozitif olur. Na hücre içine süratle girdiğinden bu giriş kanallarına "hızlı kanallar" adı verilir. Bu kanalların kapanması ile membran potansiyeli tekrar sifira döner (Faz 1: erken repolarizasyon). Yavaş

Ca⁺⁺ kanalları açılır ve iyonik gradiyente bağılı olarak bu kanallardan hücre içine Ca⁺⁺ girer. Ca⁺⁺ girişine karşılık hücre içinde bir miktar K⁺ çıkararak bir plato oluşturur (Faz 2: yavaş repolarizasyon). Ca⁺⁺ kanallarının kapanmasından sonra da K⁺ çıkışı devam eder (Faz 3: geç repolarizasyon). Bu şekilde tekrar hücre içi (-) duruma gelir (repolarizasyon). Repolize olan hücre tekrar elektriksel uyarılara cevap vermeye hazır durumdadır (Faz 4: istirahat dönemi). Bu dönemde hücre içi ve dışı arasındaki iyon konsantrasyonlarının düzenlenmesi, sodyum-potasyum pompası ile sağlanır.

Faz 1,2 ve 3'ün bir kısmında hücre uyarılamaz. Faz 3'ün sonlarına doğru, istirahat halinde gerekli olanından daha kuvvetli bir uyarı hücreyi uyarabilir. Faz 3 sonunda kısa bir süre sonra hücre içi negatifliği Faz 4'e göre daha fazla olur. En önemli fark faz 4'te olup düz çizgi şeklinde değildir ve hücre içi negatiflik git-tikçe azalıp eşik potansiyel seviyesine gelince, kendi kendine depolarize olur. Ayrıca istirahat potansiyeli -90 mV'u bulmaz. Depolarizasyon sonunda hücre içinin pozitif olması daha az belirgindir. Faz 1,2 ve 3 birbirinden tam olarak ayırt edilemez (2).

Tüm kalp hücrelerinin aktivasyonları hızlı olduğu ve hemen hemen senkron kabul edilebileceği için kalp dokusunun elektriksel olaylarını yansıtan EKG ile aksiyon potansiyel fazları arasında aşağıda verilen bir ilişki mevcuttur:

Faz 0 - QRS kompleksi,

Faz 1 - J noktası,

Faz 2 - ST segmenti,

Faz 3 - T dalgası,

Faz 4 - T dalgası bitiminden sonraki izoelektrik çizgi.

2.3. MİYOKARD'DA DEPOLARİZASYON VE REPOLARİZASYON

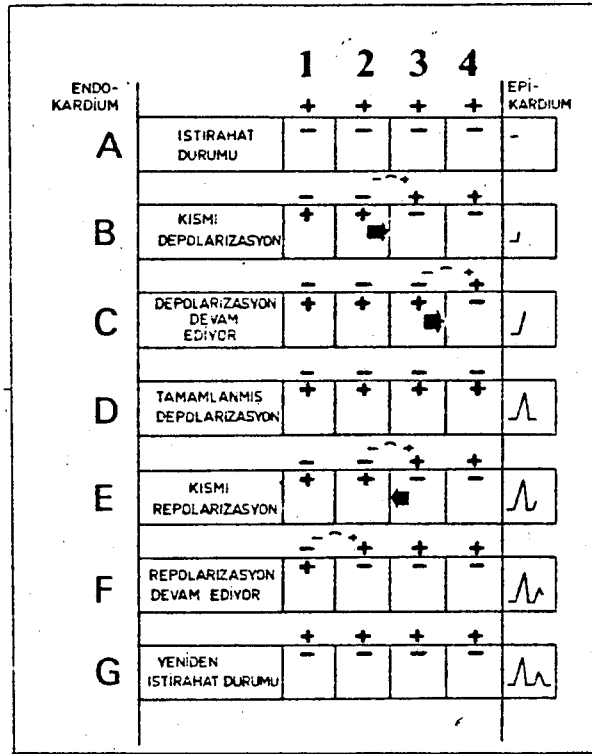
Ventriküllerin depolarizasyon ve repolarizasyonu, ventrikül adalesi kalınlığınca endokardiyal ve epikardiyal yüzler arasında oluşur.

Şekil 2.3'de ventrikül adalesi, endokarddan epikarda kadar şematik olarak 4 hücre ile gösterilmiştir. Bu hücrelerin çok daha fazla sayıda olduğu düşünülmelidir. İstirahat halinde hücreler polarize durumdadır, yani hücre zarının dış yüzü (+) ve iç yüzü (-) yüklüdür. Hücreler arasında elektriksel potansiyel farkı yoktur ve her hangi bir akım söz konusu değildir. O nedenle yazıcı düz bir çizgi çizer (Şekil 2.3A).

Normal kalpte olduğu gibi endokardiyal yüzden miyokard uyarılınca, birinci hücre depolarize olup bir an için hücre içi (+) ve hücre dışı (-) duruma döner. Şekil 2.3B hücrelerin 1'den 4'e doğru sıra ile aktive oluşunu, yani endokarddan epikarda doğru normal depolarizasyonu göstermektedir. Burada 1. ve 2. hücreler aktive olup 3. ve 4. hücreler henüz istirahat halindedir. 2. ve 3. hücreler arasında ise bir dipol meydana gelir. Bu dipol, iki zıt elektrik yükün birbirine yakın olarak birlikte bulunmasıdır. Epikardiyal yüzdeki elektrod endokarddan epikarda doğru ilerleyen dipol akımının (+) yüzünü görür ve EKG yukarı doğru bir eğri çizer.

Şekil 2.3C'de uyarı epikardiyal yönde daha

ilerlemiş ve (+) yüzü elektroda daha yaklaşmıştır. EKG pozitif dalga çizmeye devam eder. Depolarizasyon tamamlandığı anda, hücre dışları arasında potansiyel farkı kalmamış olup EKG tekrar istirahat halindeki durumuna, yani düz çizgiye döner ve bu şekilde QRS kompleksi tamamlanmıştır (Şekil 2.3D).



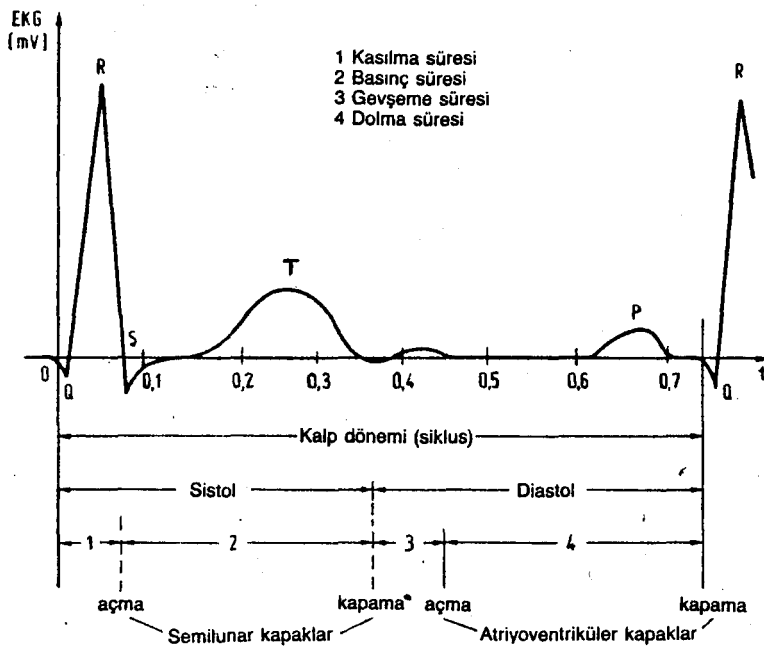
Şekil 2.3. Depolarizasyon ve repolarizasyon

Depolarizasyon tamamlandıktan sonra repolarizasyon başlar. Şekil 2.3E'de repolarizasyon başlamış olup endokarda doğru ilerlemesine karşın, epikardiyal elektrod yine dipolün (+) yüzünü görmekte ve dolayısı ile (+) bir dalga çizmektedir. Repolarizasyon devam edip sona erdiğinde (Şekil 2.3F,G), hücre tekrar istirahat durumuna geçmiştir, yani dipol yoktur ve EKG düz çizgi çizmektedir. Repolarizasyon dalgası (T dalgası), depo-

larizasyona göre daha uzun süreli ve daha düşük gerilimli olur. Depolarizasyon ve repolarizasyonun zıt yönlerde oluşu nedeni ile T dalgası, QRS kompleksi ile aynı yönlüdür, yani QRS (+) olduğu zaman T dalgası da (+) olur (2).

2.4. EKG ZAMAN EGRİSİ

Şekil 2.3'de bahsedilen 4 hücre sayısı artırıldığında EKG dalgası yaklaşık olarak Şekil 2.4'deki gibi olacaktır.



Şekil 2.4. EKG Zaman Eğrisi

Bu eğrinin şekline "semitotik" denir. Bu dalga şeklinde göze çarpan en büyük özellik periyodik bir sinyal olmasıdır. Elektriksel kasılma "sistol", negatif Q dalgasından T dalgasının bitimine kadar süren zamanı kapsamaktadır. Bu ise tüm uyarım, depolarizasyon ve repolarizasyon evrelerini kapsar. Bu bölüme elektroventrikulogram

(EKG) denir. "Diyastol"da P dalgası ile Q peak'ının (tepesinin) başlangıcı arasındaki bölüm ile tanımlanmıştır (1).

Kalbin bir dakikadaki normal atış değerleri 60 ile 120 arasındadır. Yavaş atışa "bradycardia", hızlı atışa "tachycardia" adı verilir. Kalbin normal devrinin dışındaki atışlara ise "arrhythmia" adı verilir. Normal bir EKG eğrisinin parametreleri Tablo 2.1'de gösterilmiştir (3).

Parametre	Dalga şekli	Değeri
Genlik	P dalgası	0.25 mV
	R "	1.60 mV
	Q "	R'nin %25'i
	T "	0.1-0.5mV
Periyot	P-R arası	0.12-0.20 sn.
	Q-T "	0.35-0.44 sn.
	S-T "	0.05-0.15 sn.
	P dalgası	0.11 sn.
	QRS arası	0.09 sn.

Tablo 2.1. EKG sinyalinin parametreleri

2.5. ELEKTRİKSEL AKTİVİTENİN KAYDEDİLMESİ

Elektriksel biopotansiyelleri beden üzerinden alabilmek için çeşitli EKG derivasyonları vardır. Bunlar, bulucularına göre adlandırılmıştır. Bu derivasyonlardan bazıları şunlardır: Cabrera, Einthoven, Frank, Nehb, Goldberger, Wilson. Derivasyonun tıptaki anlamı, iletken bir ortamın iki noktası arasındaki potansiyel farkının

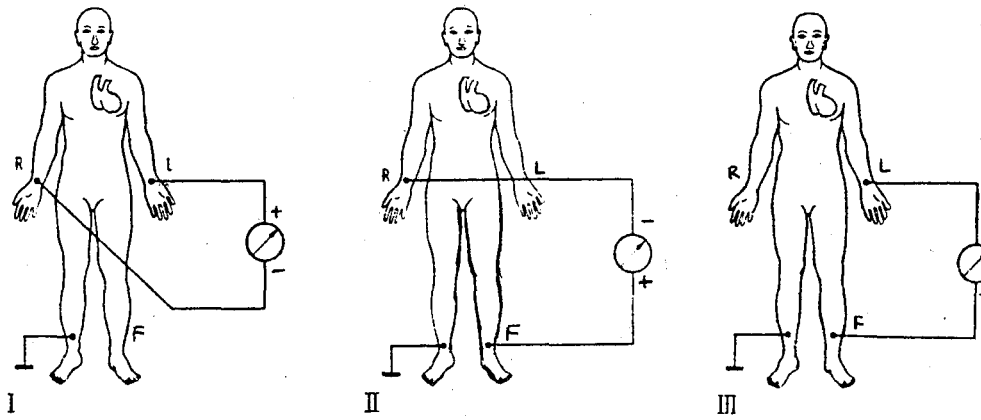
ölçümüdür. EKG ölçümünde uygulanan iki elektrodun arası, aktarma çizgisi olarak tanımlanmaktadır. Aktarma işlemini oluşturmak amacıyla elektrodun bedenin üzerinde yerleştirilmesi gereken bölgeye aktarma noktası denir. Bir aktarma işlemini gerçekleştirmek için her zaman iki aktarma noktası gereklidir.

Şekil 2.5'de "Einthoven" derivasyonları olarak adlandırılan ve roma rakamlarıyla I, II, III diye tanımlanan derivasyonların bağlantı şeması görülmektedir. Bu ölçme yönteminde I. derivasyonda bir elektrod sağ, bir elektrod sol kola ve toprak elektrodu da ayağa bağlanmıştır. Bu yöntemde sağ ve sol kolun arasındaki potansiyel farkı ölçülmektedir; fakat sol kolun potansiyeli sağ kolunkine oranla daha yüksektir. Sol koldaki elektrod çıkarılıp sol ayağa bağlanırsa, II. derivasyona göre ölçülür. Bu sefer sağ kolla sol ayak arasındaki potansiyel farkı ölçülür ve bu kez de sol ayagın potansiyeli daha yüksek olur.

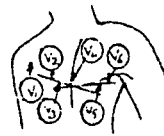
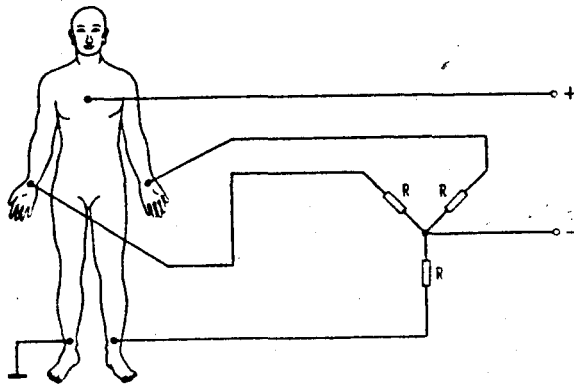
Şekil 2.6'da "Wilson" derivasyonu görülmektedir. Derivasyon noktaları R, L ve F yüksek ohmlu dirençler üzerinden Wilson yıldızı şeklinde birleştirilmiştir. Yıldız bağlamanın orta noktasına kalbin elektriksel nötr noktası denir. Yıldız orta noktası, bütün kalp atış dönemi boyunca potansiyelin kararlı olduğu ve kalp kütle sinin orta noktasında da aynı kararlı potansiyelin mevcut olduğu düşüncesi üzerine kurulmuştur. Wilson yıldızı nötr elektrodu oluşturmaktadır. Bu ise kuvvetlendiricinin (-) kutuplu girişine uygulanır. Farklı elektrod da (+) girişe bağlanır ve elektrodun göğüs kafesi üzerine yerleştirilmesine göre V1-V6 arasındaki derivasyonlar kay-

dilir.

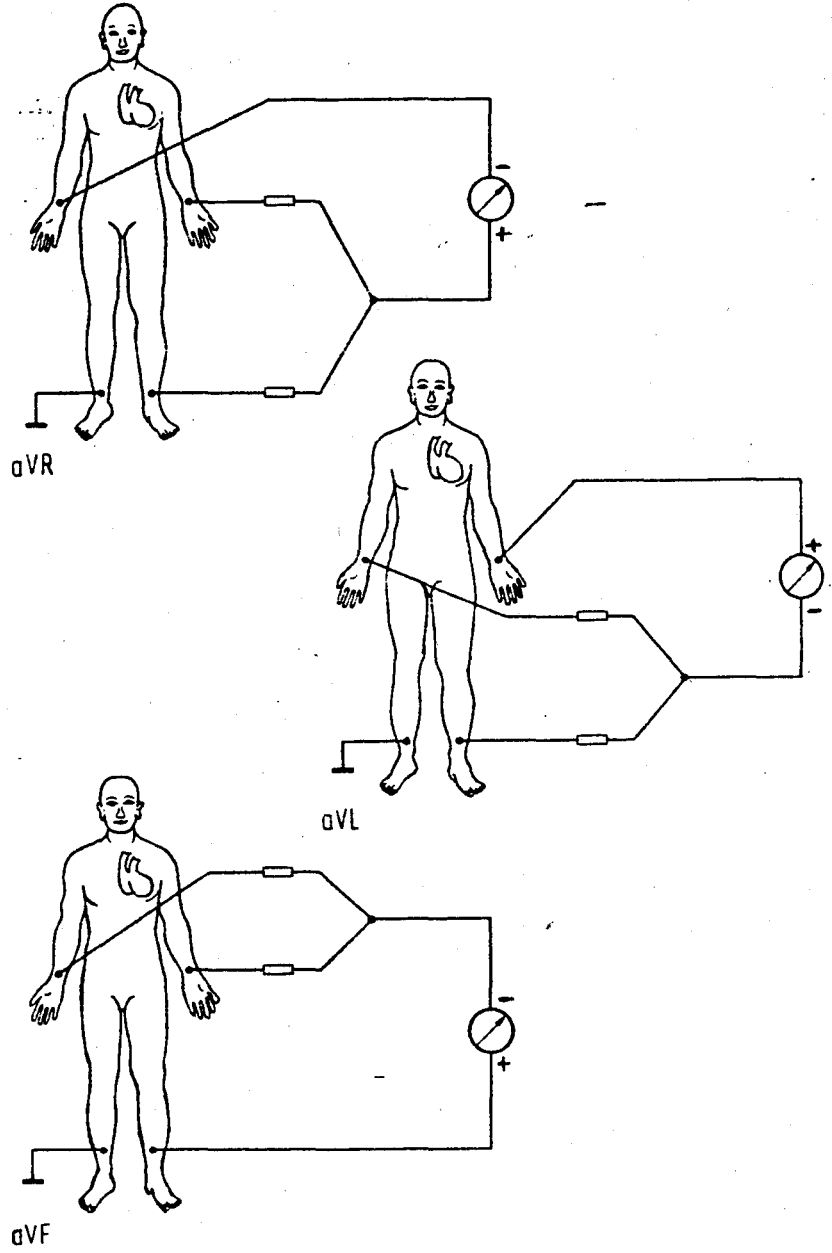
Sol kol "nötr noktası" ile, sağ kol ve sol bacakta yüksek ohmlu dirençlerle birbiriyle bağlı değilse o zaman "Goldberger" derivasyonlarından bahsedilir. Bunlar da Şekil 2.7'de görüldüğü gibi aVR, aVL ve aVF olarak kaydedilebilirler (1).



Şekil 2.5. Einthoven Derivasyonları



Şekil 2.6. Wilson yıldızının göğüs derivasyonları



Şekil 2.7. Goldberger Derivasyonları

BÖLÜM 3

ELEKTRODLAR

Elektriksel işaretleri doku yüzeyinden alıp önkuvvetlendiricilere aktarabilmek için çeşitli elektrodlar kullanılır. Bu elektrodlar duyarlılıkta pasiftir. Bunlar uyarılmış dokudan geçecek akıma göre ve farklı noktalar arasındaki potansiyelleri algılamak için tasarlanmışlardır. Çıplak metal elektrodlar, boru tipli elektrodlar, yalıtılmış elektrodlar ve bir kez kullanıldıktan sonra atılan değişik elektrod tipleri vardır.

Elektrodlar, makro ve mikro elektrodlar olarak iki kısma ayrılırlar. Makroelektrodlar, hücreden gelecek sinyalin kaydedilmesinde kullanılır. Mikroelektrodlar ise birden fazla hücredeki aktivitenin kaydedilmesi işleminde kullanılır. Bu kayıt işlemleri için elektrod yüzeyi ile hücre yüzeyi birbirlerini tamamen kapaması gerekli-

dir.

Elektrodlar vücudun iç ve dış yüzeyine yerleştirilmesine göre de gruplandırılabilir. Dış yüzeydeki sinyallerin kaydı için genellikle çıplak metal veya yalıtılmış tipte makroelektrodlar kullanılır. Doku ile elektrod arasında iletken bir sıvının bulunması da gereklidir.

3.1. ELEKTROD TEORİSİ

İnsan vücudundaki iyon akışlarının oluşturduğu biopotansiyeller elektrodlar vasıtasıyla alınır. Elektrodların yapıldıkları malzemelere göre elektrod üzerinde iyon akışlarının oluşturduğu bir elektrod potansiyeli vardır.

Bir tek elektrodun mutlak elektrod potansiyelini hesaplamak mümkündür. Bütün elektrod potansiyelleri izafi değer olarak verilmiştir. Bu değerler alınırken hidrojen elektrodu referans elektrod potansiyeli sıfır olarak alınmıştır.

Elektrod potansiyelinin diğer kaynağı ise elektrod yüzeyinden geçen iyonların gelişigüzel dağılımı ile ortaya çıkan iyon konsantrasyon farkıdır. İyonun iki konsantrasyonunun elektrod yüzeyinden geçerken oluşturduğu potansiyel Nernst denklemi ile ifade edilebilir.

$$E = \frac{RT}{nF} \ln \frac{C_1 f_1}{C_2 f_2}$$

Burada R; gaz sabiti (8.315×10^7 ergs/mole/ K^0),

T; mutlak sıcaklık (K^0),

n ; iyonun toplam elektron sayısı,
 F ; Faraday sabiti (96500 coulomb),
 C_1, C_2 ; iyon konsantrasyonları,
 f_1, f_2 ; iyon aktivite katsayısıdır.

Denklemin çözümü için bu birimler uygun değildir. Denklem çözümünde elektromagnetik cgs birimleri kullanılmalıdır. Bu hesaplama, elektrod potansiyelini abvolt ($1V=10^8$ abvolt) olarak verir. Aktivite katsayıları f_1, f_2 iyonlar arası mesafeye bağlıdır. C_1, f_1 çarpımına, elektrod potansiyeli için iyon tepkisinin aktivitesi denir. Nernst denklemine ise, membrandan geçen elektrod potansiyeli olarak bakılabilir ki bu da membranın iki yüzeyi arasındaki aktivitenin oranlarının logaritmasıdır (3).

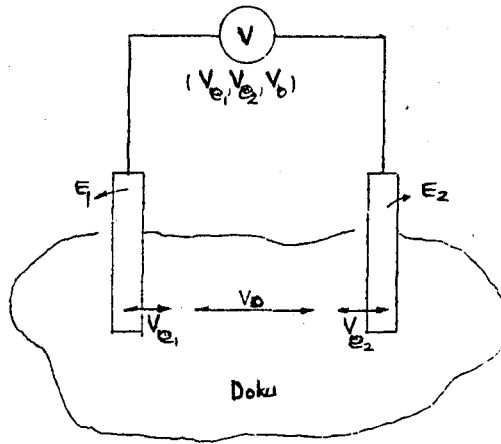
3.2. ELEKTRODLARDA DC POTANSİYELİN OLUŞUMU

Doku üzerine yerleştirilen iki elektrodun Şekil 3.1'deki gibi olduğu düşünölsün. Doku üzerindeki V_0 potansiyelinin ölçümü için e_1 ve e_2 elektrodu vardır. Bu devrenin içerdığı DC yarı hücre potansiyelleri, iki elektrod tarafından toplam gerilim olarak elde edilir.

Yani,

$$V = V_{e1} + V_{e2} + V_0 \quad \text{olur.}$$

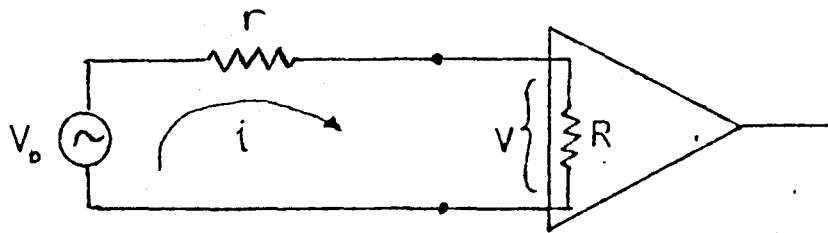
Şekil 3.1'deki devre ile DC potansiyel ölçümü biyopotansiyel V_0 ile iki yarı hücre potansiyelleri V_{e1} ve V_{e2} 'ye bağımlıdır. Bu potansiyel, çeşitli kaynaklardan yayılan enerjileri de yansıtmaktadır. Bir çıplak metal elektrodun yüzeyindeki farklı bölgeler arasındaki



Şekil 3.1. Doku üzerindeki V_0 potansiyeli

elektrokimyasal potansiyel ile DC potansiyelin eşit yapılması çok zordur.

Elektriksel eşdeğer devre yardımıyla olay modellenmek istenirse Şekil 3.2 gözönünde tutulmalıdır. Burada voltaj kaynağı olarak kabul edilen V_0 , doku tarafından üretilmektedir. r direnci tüm elektrodlar ile dokudan gelen kaynak empedansını vermektedir. R direnci ise ölçme yapan kuvvetlendirici cihazın iç empedansını göstermektedir. Eğer bu devre dokudaki V_0 potansiyelinin ölçümünü yaparsa, o zaman tüm gerilimler kuvvetlendiricinin girişinde görülmesi gerekmektedir.



Şekil 3.2. Eşdeğer devre.

Kaynak ve giriş gerilimleri aşağıda gösterildiği gibi hesaplanır :

$$V_o = i (R+r) \text{ ve } V = i R$$

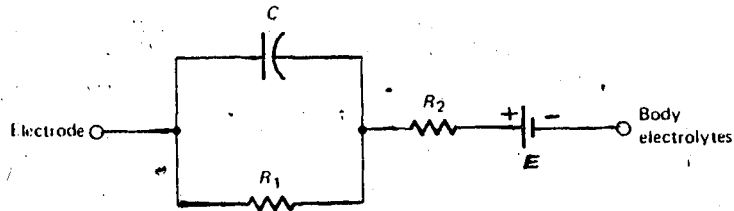
Bu voltajların oranı ;

$$V_o / V = (r+R)/R$$

olur. Eger $R \gg r$ ise, tüm gerilim kaynaklarından alınan sinyaller kuvvetlendiricinin girişinde görülür. Diğer bir deyişle, sinyallerin kuvvetlendirici girişine gelebilmesi için kuvvetlendirici giriş empedansının kaynak empedansından çok çok büyük olması gerekmektedir. Eger buna gereken önem verilmezse, bu iki empedans bir gerilim bölücü rolü oynayabilir ve kaynak geriliminin yalnız bir kısmı kuvvetlendirici girişinde görülebilir (3).

3.3. ELEKTRODLARIN EMPEDANS VE FREKANS BAĞIMLILIĞI

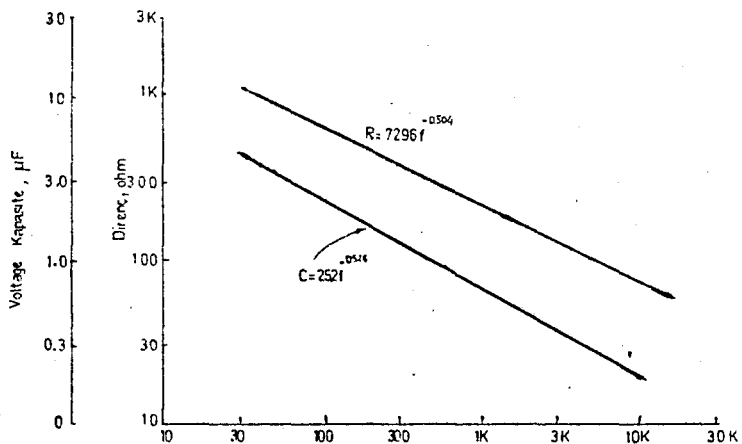
Doku yüzeyinden sinyal kaydı yapılırken elektrod yüzeyinde bir elektriksel empedans ortaya çıkmaktadır. Bu empedans bir seri direnç ve kapasite olarak modellenmektedir (Şekil 3.3). Bu elektrod empedansı sabit olmayıp, değişkendir. Çünkü kapasitif etki söz konusu olduğundan frekansa bağımlıdır. Bundan dolayı her iki elektrod potansiyeli ve empedansı değişken olup bu etkiye "polarizasyon" denir.



Şekil 3.3. Elektrod Empedans Devresi

Polarizasyon, metal elektrodta geçen akımın bir sonucudur. Batarya sarjı gibi bir etki yapar. Bazı elektrod dizaynlarında polarizasyondan kaçınılır ve aynı zamanda kuvvetlendiricinin giriş empedansı çok yüksek tutulur. Polarizasyonun etkisi elektrod empedansı ile de minimize edilebilir.

Elektrod empedansında elektrodların tipi ve boyutları da önemlidir. Büyük elektrodların empedansı küçük olur. Deri yüzeyi elektrodları genellikle 2-10K olur. Küçük iğne elektrodların veya mikroelektrodların empedansı çok yüksektir. En iyi çözüm için hem yüksek empedanslı elektrod ve hem de giriş empedansı yüksek olan kuvvetlendiriciler kullanılmalıdır. Şekil 3.4'den de görüldüğü gibi tüm direnç ve kapasite değerlerinin frekans arttıkça azaldığı görülmektedir. Pratikte sinyal frekansı büyüklüğü azaldığında kayıt elektrodunun empedansı da yükselmektedir. Bu sonuçlara göre kuvvetlendirici giriş empedansı, yüksek frekans sinyal bileşenlerin kaydedilmesi için yeterli seviyede olmalıdır. Aynı şekilde, alçak frekans komponentlerinin kaydı da mümkün olmaktadır.



Şekil 3.4. Elektrod direnç ve kapasitelerinin frekans bağımlılığı

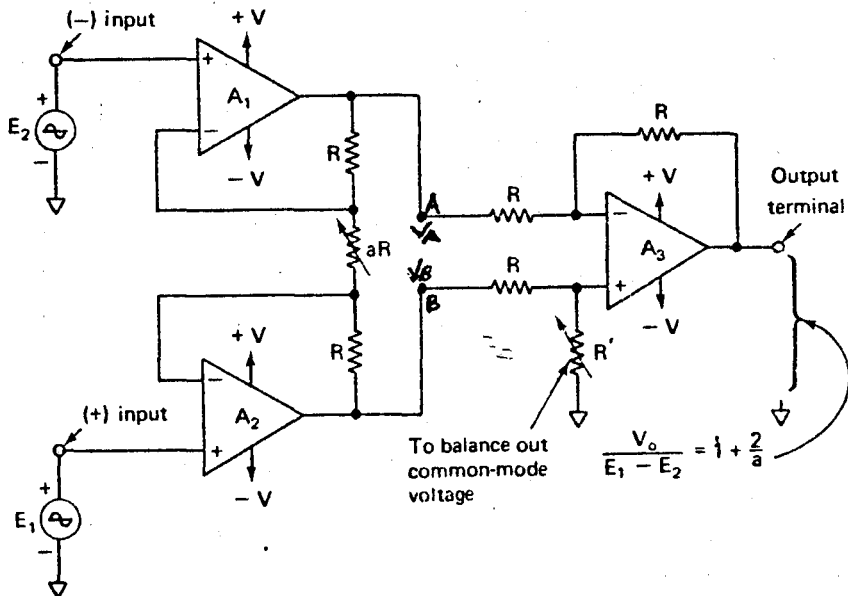
BÖLÜM 4

INSTRUMENTASYON KUVVETLENDİRİCİSİ

Doku yüzeyindeki μV veya mV seviyesindeki biyopotansiyelleri görülebilir seviyeye getirmek için kullanılan önkuvvetlendiriciler kullanmak gerekmektedir. Küçük genlikli biyopotansiyeller işlemsel kuvvetlendiriciler (opamp) yardımıyla kuvvetlendirilebilir. Opamp'lar sinyali toprağa göre kuvvetlendirdiklerinden kullanışlı değildir. Çünkü elektrikli cihazların ürettiği manyetik akımların oluşturduğu elektrik toprak ile doku arasındaki potansiyel değişimleri yükseltir. Bu oluşan potansiyeller orijinal biyopotansiyellere karışarak sinyali tamamen anlaşılabilir hale getirebilmektedirler. Bu etkileri ortadan kaldırmak için "fark kuvvetlendiricileri" veya "instrumentasyon kuvvetlendiricileri" kullanılır. Böylece giriş sinyallerinin farkı alınarak toprak potansiyeli elimine edilir.

Biyopotansiyelleri kuvvetlendirecek kuvvetlendiricide aranan özellikler şöyle sıralanabilir ; Yüksek kazanç, yüksek giriş empedansı, düşük giriş bias akımı ve geniş frekans bandına sahip olmalıdır. Ayrıca istenilen kazançta kararlı olması, girişteki değişik gerilim ve frekanslarda kazanç ve faz kaymasının girişle uyum içerisinde olması gibi hususlara da dikkat edilmelidir.

Bu özelliklere sahip FET girişli opamplar kullanılarak devreler gerçekleştirilebilmektedir. Böylece μV veya mV seviyesindeki sinyaller kuvvetlendirilebilir. Bu arada istenmeyen gürültü sinyallerinin de atılması sağlanabilmelidir. Bu gürültüler ortak mod gürültüleri ve fark mod gürültüleri olarak ikiye ayrılmaktadır. Alçak geçiren bir filtre yardımıyla fark mod gürültüleri kolayca atılabilir. Ortak mod gürültüsü ise instrumentasyon kuvvetlendiricisi ile atılmaktadır. Şekil 4.1'de bu özelliklere sahip bir instrumentasyon kuvvetlendiricisi görülmektedir.



Şekil 4.1. Instrumentasyon kuvvetlendiricisi

Şekil 4.1'de görülen bu devrenin birinci kısmı normal kuvvetlendirici ve ikinci kısmı ise fark kuvvetlendiricisidir. Bu sistem formülize edilirse transfer fonksiyonu şu şekilde yazılabilir :

A noktasındaki V_A potansiyeli,

$$V_A = E_2 + R \cdot (E_2 - E_1) / (aR + R), \quad (4.1)$$

B noktasındaki V_B potansiyelini,

$$V_B = E_1 + R \cdot (E_1 - E_2) / (aR + R) \quad (4.2)$$

şeklinde yazılabilir. Fark kuvvetlendirici katına uygulanan bu sinyalin farkı alındığında,

$$V_{AB} = (E_1 - E_2) (1 + 2R / (aR + R)) \quad (4.3)$$

şeklinde ifade edilir ki bu da çıkış voltajı V_o demektir. O halde transfer fonksiyonu denklemi (4.3)'den,

$$V_o / (E_1 - E_2) = 1 + 2R / (aR + R) \quad (4.4)$$

şeklinde yazılabilir.

Böylece devrenin kazancı ;

$$G = 1 + 2R / (aR + R) \quad (4.5)$$

şeklinde yazılabilir.

Kazanç denkleminde görüldüğü gibi devrede bulunan R ve aR değerleri ile kazanç ayarı yapmak mümkündür. Bu kuvvetlendiricilerin giriş empedansı çok yüksek olduğu için sinyalin zayıflamasını önlemektedir. Ayrıca oluşabilecek şok tehlikesini de ortadan kaldırır (4).

4.2. ORTAK MOD ZAYIFLATMA ORANI (CMRR)

İdeal olmayan bir kuvvetlendirici devresi ortak giriş sinyallerini de yükseltir. Şekil 4.2.'de görülen kuvvetlendirici devresinde ortak giriş sinyali (V_{cm})'de

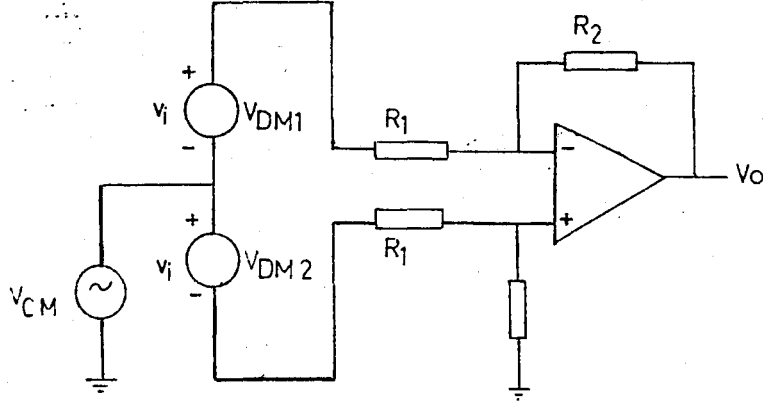
göz önüne alınarak ;

$$\text{Ortak giriş, } V_{cm} = (V_1 + V_2) / 2 \quad (4.6)$$

yazılabilir.

$$\text{Fark girişleri ise, } V_{dm} = (V_1 - V_2) / 2 = V_i \quad (4.7)$$

şeklinde ifade edilebilir.



Şekil 4.2. Ortak moddaki fark kuvvetlendiricisi

Bu devrenin fark kazancını $A_{dm} = -R_2/R_1$ ve aynı devrenin ortak tip sinyallerine olan kazancı ise A_{cm} ile gösterilirse, çıkış gerilimi ;

$$V_o = -(R_2/R_1)2V_i + A_{cm} V_{cm} \quad (4.8)$$

olur. İdeal durumda $A_{cm} = 0$ olduğundan (4.8) denklemi

$$V_o = (-R_2/R_1)(V_1 - V_2) \quad (4.9)$$

şeklinde yazılabilir.

İnsan vücudu üzerinde yapılan biyoelektriksel gerilim ölçümlerinde ortak mod sinyallerinin kaynağı elektrodlarla ölçme cihazına bağlı bulunan insan vücududur. Vücut üzerindeki ortak mod sinyallerinin kaynağı vücuttaki statik elektrik ve vücut üzerinde indüklenen şebeke geriliminin bileşenidir ki, bu söz konusu hasta ile şebeke hatları arasındaki kaçak kapasite üzerinden akan akımın miktarı ile belirlenir. Bu hastanın şebeke

hattına ve topraklanmış bir cihaza olan yakınlık ve uzaklığına bağlıdır. Hasta topraklanmış bir cihaza değerkken bu gerilim birkaç milivolt iken, şebeke hattını tuttuğu zaman birkaç volta çıkabilir.

Bir ortak mod sinyali ile bunun kuvvetlendirici çıkışında oluşturduğu ortak mod hatası arasındaki bağıntı "ortak mod azaltma oranı (CMRR)" olarak adlandırılır ve

$$E_{cm} = V_{cm} / CMRR \quad (4.10)$$

şeklinde ifade edilir. Sonlu bir değerdeki CMRR, ortak mod hatasının doğmasına neden olur. CMRR, kuvvetlendiricinin ortak mod ve fark kazançları cinsinden de,

$$CMRR = A_{dm} / A_{cm} \quad (4.11)$$

olarak yazılabilir. Bu durumda $A_{cm} = A_{dm} / CMRR$ yazılarak (4.9) nolu denklemde yerine konursa,

$$V_o = (R_2/R_1)(2 V_i) + A_{dm}(V_{cm}/CMRR) \quad (4.12)$$

elde edilir. Bir fark kuvvetlendiricisinin fark girişini yükseltip ortak mod sinyallerini yok etmesi özelliği o kuvvetlendiricinin CMRR'si ile belirlenir. İdeal CMRR sonsuz olarak kabul edilir.

Ortak mod etkisini azaltmak için instrumentasyon kuvvetlendiriciler kullanılır. Şekil 4.1'de görülen devre için ;

$$V_o = (1+2R/aR)(E_1-E_2)$$

şeklinde idi. Şekil 4.1'deki devrenin ortak mod giriş sinyalleri için analizi yapılırsa $E_1=E_2=V_{cm}$ olduğundan R_1 direnci üzerinden geçen akım sıfırdır. Böylece R_2 direnci üzerinden de akım akmadığı için devre bir tampon devresi gibi çalışır. Bu durumda devrenin ortak mod sinyal kazancı 1 olup,

$$\text{CMRR} = (\text{Adm}/\text{Acm}) + \text{Adm} \quad (4.13)$$

olarak yazılır. Adm yeterince yüksek ise CMRR yüksek olacaktır. İkinci katın Adm kazancı düşük seçilerek tüm CMRR yüksek tutulabilir.

4.2. CMRR ÖLÇÜMÜ

Bir biyopotansiyel kuvvetlendirici devresinin CMRR değerini ölçmek için Şekil 4.3a'daki düzeni kurmak gerekmektedir. Kuvvetlendiricinin fark girişlerine önce DC gerilimler uygulayarak sistemin Adm kazancı;

$$\text{Adm} = V_o / (V_2 - V_1)$$

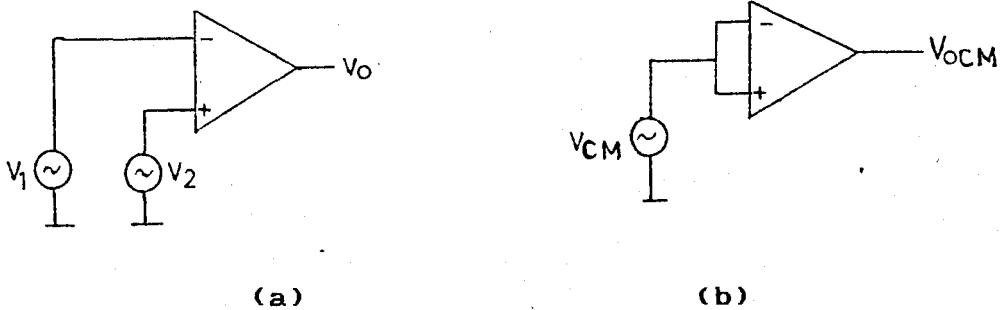
şeklinde hesaplanır. Daha sonra V1 ve V2 girişlerini kısa devre ederek ortak noktaya Şekil 4.3b'deki gibi, bir işaret üretici ile değişik frekanslarda işaretler vererek çıkış işaretlerini ölçer ve her bir frekans için ortak mod kazancı;

$$\text{Acm} = V_{ocm} / V_{cm}$$

şeklinde hesaplanır. Daha sonra her bir frekans değeri için,

$$\text{CMRR} = \text{Adm} / \text{Acm}$$

bağıntısından CMRR değeri bulunur.

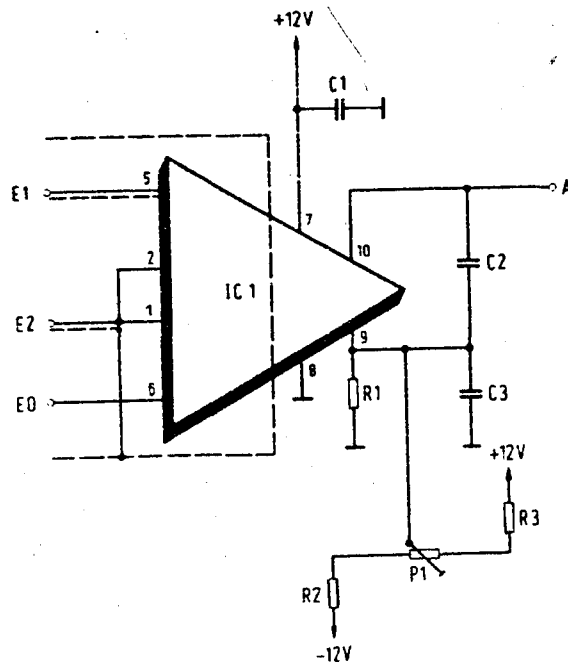


Şekil 4.3. CMRR ölçümü

4.3. INSTRUMENTASYON KUVVETLENDİRİCİSİNİN OPTİKSEL YALITIMI

insan vücudu üzerinden alınan bütün elektrodlu ölçümlerde, cihazın besleme kaynağı şehir şebekesinden yalıtılmamışsa hayati tehlike daima sözkonusudur. Bu nedenle iyi bir yalıtım yapılarak insan hayatı tehlikeye atılmamalıdır. Mutlaka devrenin şehir şebekesinden yalıtılması zorunludur.

Instrumentasyon kuvvetlendiricisi, eğer şehir şebekesine bağlı bir güç kaynağı ile çalıştırılacaksa, çok pahalı bir yalıtım kuvvetlendiricisine ihtiyaç olacaktır (Şekil 4.4). Bu yalıtım kuvvetlendiricisi, uç elektrodun bağlı olduğu giriş katını, besleme gerilimlerinin bağlı olduğu çıkış katından galvanik olarak yalıtır. Bunun olumlu yanı, güç kaynağının hatalı olduğu zaman dahi, hastanın yine de, elektrodlara şebeke gerilimi



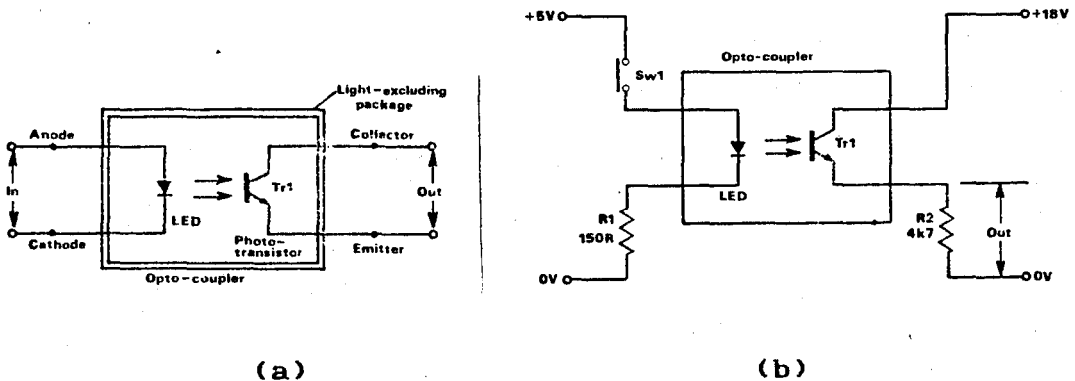
Şekil 4.4. Yalıtım Kuvvetlendiricisi

uygulanabilmesi tehlikesinden korunmuş olmasıdır. Devre-
deki P1 ile ofset gerilimi ayarlanır.C3 ofset gerilimini
etkileşmelerden korur.C2 ise kuvvetlendiricinin bant ge-
nişliğini sınırlamaktadır. Sınır frekansı $f=1/(2 C2R1)$
formülüne göre hesaplanır. Bu şekilde bir yalıtım, mali-
yet açısından çok pahalı olduğu için daha ucuza ve hemen
hemen aynı kararlılıkta çalışabilen optik devreler ile
gerçekleştirilebilmektedir (1).

4.4.1 OPTOKUPLÖRÜN ÖZELLİKLERİ

Optokuplör, bir adet ışık yayan diyot (LED) ve
ışığa duyarlı bir transistörden oluşur.Bu iki elemanın
biraraya getirilip dışarıdan girecek ışıktan yalıtılması
ile oluşur (Şekil 4.5a).

Intrumentasyon kuvvetlendirici çıkışına Şekil
4.5b'de gösterilen bir optokuplör devresi ilave edilerek
yalıtım gerçekleştirilebilir. Böylece devrenin birinci
kısmı pille, ikinci kısmı ise şehir şebekesine bağlı
gerilim kaynağı ile çalıştırılır.

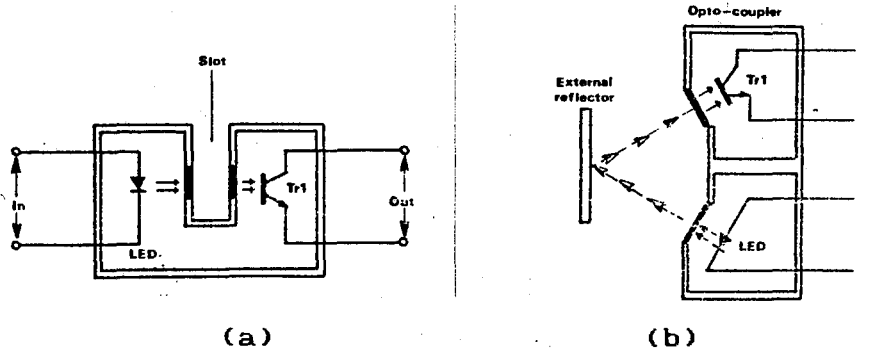


Şekil 4.5. Basit optokuplör devresi

Şekil 4.5b'de verilen bir bağlantı gerçekleştirilirse LED'in ışığı ile transistörden geçecek akım kontrol edilmiş olur. Burada LED giriş elemanı, transistör ise çıkış elemanıdır. Şekil 4.5b'deki S1 anahtarı açık iken LED yanmayacak ve transistör üzerine herhangi bir ışık düşmeyecektir. Transistör açık devre olduğundan R2 çıkış direnci üzerinden akım akmayacağı için çıkış gerilimi sıfır olacaktır. Anahtar kapatıldığı zaman LED yanacak ve transistör iletime geçerek R2 üzerinde bir çıkış gerilimi oluşturacaktır. Bu basit devre sadece sayısal giriş/çıkış sinyali için kullanılır. Analog bir sinyalin optokuplör aracılığı ile aktarılması da mümkündür. Şekil 4.5a'daki optokuplör elemanında en önemli nokta izolenin mükemmel olmasıdır. LED'in transistöre gönderdiği ışıkta yansımadan dolayı herhangi bir artma veya azalma olmamalıdır. İki eleman arasındaki etkileşim birebir olmalıdır. Yani LED üzerindeki en küçük bir değişim foto-transistör tarafından algılanabilmelidir. Bunun için hazır izole edilmiş optokuplör elemanı kullanılmalıdır. Kompüter çıkış sinyalinin harici elektronik devrelere ve motorlara aktarılmasında, düşük güçlü rölelerin çalıştırılmasında ve darbe transformatörlerinin çalıştırılması gibi değişik uygulamalarda kullanılır.

Şekil 4.6a ve 4.6b'de diğer iki tip optokuplör elemanı gösterilmiştir. Şekil 4.6a'da "yarıklı" optokuplör tipi görülmektedir. Burada yarıklık, ışık kaynağı LED ile ışık algılayıcı fototransistör arasına yerleştirilmiştir. Normalde LED'den yayılan ışık yarıklıktan önemli bir kayba uğramadan fototransistöre ulaşır. Fakat yarıklıktan geçirilen herhangi bir elemanla bu ışık bloke

edilebilir ve fototransistöre ulaşması engellenebilir. Bu tiplerin de değişik uygulama alanları vardır.



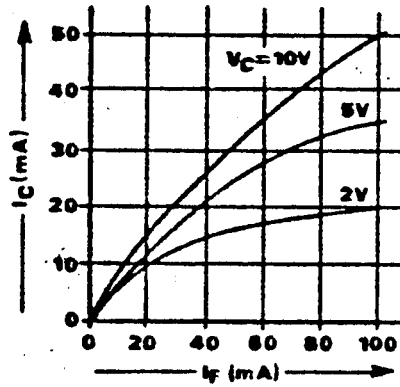
Şekil 4.6. Optokuplör çeşitleri

Şekil 4.6b'de ise "yansımali" optokuplör çeşidi görülmektedir. Burada LED'in ışığı yansıtıcıya çarparak fototransistöre ulaşır. LED ve fototransistör arasındaki mesafe çok az olarak biraraya monte edilmiştir. Parmak ucundan nabız sayısının belirlenmesi gibi değişik yerlerde kullanılır.

Optokuplördeki diğer önemli bir faktörde verimdir. Bu kullanılan LED ve fototransistöre bağlıdır. Bu verimi belirlemenin en iyi yolu, elemanların "akım transfer oranının (CTR)" belirlenmesidir. Bu da fototransistörün kolektör akımının (I_c), LED akımına (I_f) oranıdır. Yani $CTR = I_c / I_f$ şeklinde ifade edilir (5).

Optokuplör aracılığı ile bir sinyalin optiksel olarak aktarımı için yukarıda bahsedilen hususlara dikkat edildiği takdirde herhangi bir problemle karşılaşılmayacaktır. Pratikte CTR 0.5 olarak ifade edilir veya %50 denir. Tipik olarak % 20-100 arasında değişir. CTR değeri tamamen giriş/çıkış elemanlarının akımlarına ve foto-transistörün besleme voltajına bağlıdır. Şekil 4.6. da farklı Vc değerleri için foto-transistörün giriş/çıkış

kış akımlarının deęiřimi görölmektedir.



Şekil 4.6.

Optokuplörün dięer parametreleri de řu řekilde sıralanabilir:

izolasyon voltajı: Giriř ve ıkıř devresi arasında izin verilen maksimum dc voltaj seviyesidir.

V_{ce} (max) : Transistöre uygulanan dc voltaj deęeridir.

I_f (max) : LED'den geecek olan akım deęeridir.

Band geniřlięi : Kullanılan sinyalin frekansı ile ilgilidir.

4.4.2 OPTOKUPLÖR KULLANIMI

Optokuplörler deęiřik tipte olabilirler ve özel liklerine göre deęiřik numaralarla isimlendirilirler. Şekil 4.7a'da basit izoleli tip bir optokuplör görölmektedir. Altı ayaklı bir entegre seklindedir ve tek fototransistör kullanılmıřtır. Foto transistörün beyz ucu kullanıldıęı zaman, CTR deęeri %20 ve band geniřlięi 300

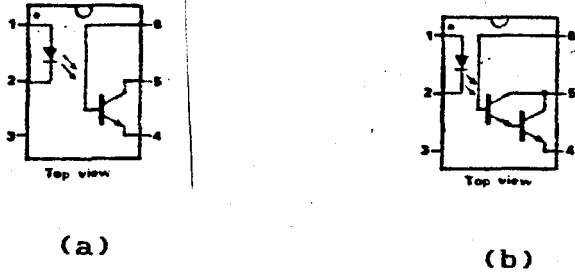
KHz'den, CTR değeri % 0.2 ve band genişliği 30 MHz'e kadar çıkar.

Şekil 4.7b'de ise Darlington optokuplör görülmektedir. Burada da beyz ucu değişkendir. Darlington bağlantıdan dolayı kazanç da yüksektir. Minimum CTR değeri % 300 civarında ve band genişliği 30 KHz'dir.

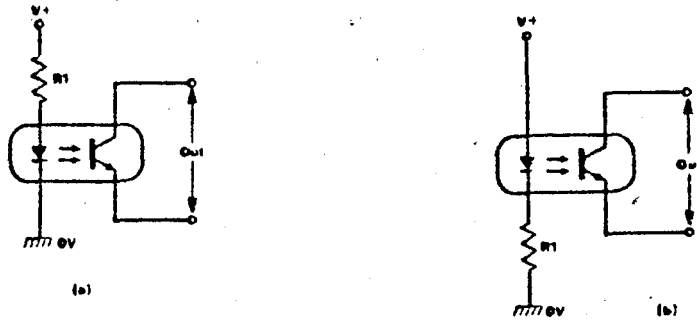
Bu basit elemanı kullanırken Şekil 4.8a ve b'de olduğu gibi LED'in anoduna veya katoduna bir seri direnç konarak LED'de akım sınırlaması yapılır ve LED'in bozulması önlenir. Ayrıca şekil 4.9'daki gibi LED'e paralel atılan bir diyotta LED'i ters gerilimden korumuş olur. Şekil 4.10a'daki gibi fototransistörün kollektörüne atılan bir seri dirençle kollektör akımı sınırlanır ve kollektör emiter arasından çıkış alınır. Burada R1 direncinin değeri büyük olmalıdır. Bu durumda devrenin bant genişliği düşer, ama duyarlılığı artar. Şekil 4.10b de gösterilen devrede emitere seri direnç üzerinden de çıkış alınabilir.

Optokuplör sayısal arabirim uygulamalarında ideal bir elemandır. Kompüter çıkışlarında ve güç kaynaklarının bilgisayarla sürülmesinde de kullanılır. Şekil 4.11a ve b'de TTL ve CMOS arabirim devreleri görülmektedir. Optokuplör ile sadece sayısal değil, analog sinyallerin de aktarılması mümkündür. Şekil 4.12'de ses sinyalinin optokuplörle transferi görülmektedir. Burada OPAMP voltaj follower modda çalışmaktadır. LED'in ucu negatif geri besleme sağlamak için OPAMP'ın (-) girişine R3 üzerinden bağlanmıştır. Giriş sinyali OPAMP'da evrilmeyecek bir şekilde uygulanmıştır. R1, R2 dc gerilim bölücü olarak çalışır ve bu değer C1 yardımıyla ac sinyal-

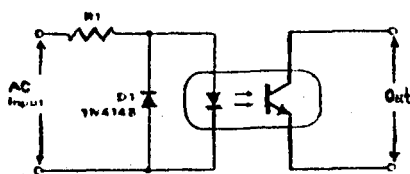
le modüle edilir. R3 ile LED akımı sınırlanır. Fototransistör kısmında ise Rv1 ile çıkış voltajı dc seviyesi ayarlanarak, C2 kuplaj kondansatörü üzerinden ac çıkış sinyali alınır.



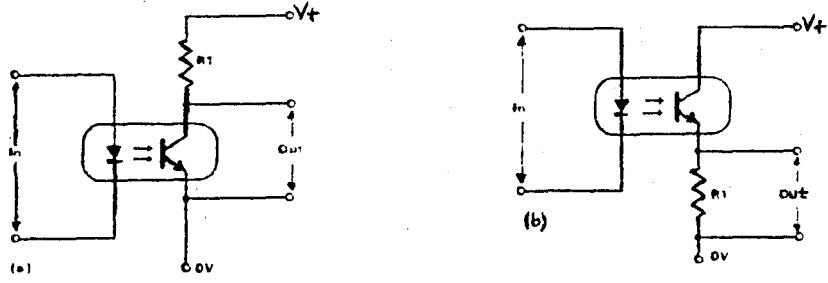
Şekil 4.7.



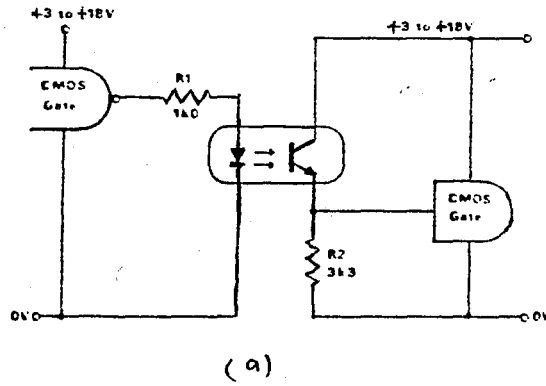
Şekil 4.8.



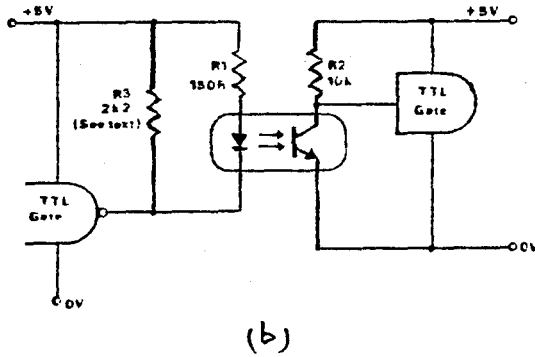
Şekil 4.9.



Şekil 4.10.

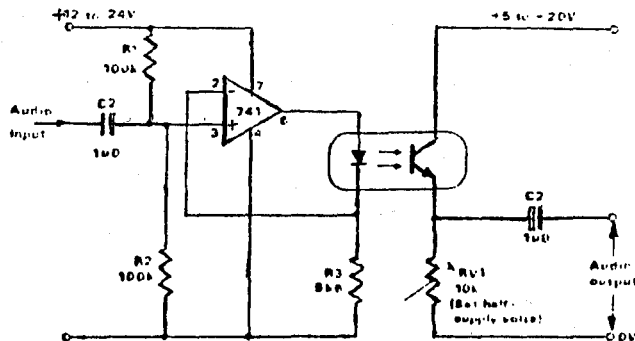


(a)



(b)

Şekil 4.11.



Şekil 4.12.

BÖLÜM 5

FİLTRELER

Herhangi bir sinyalin genlik ve fazını değiştirmeye yarayan devrelere filtreler olarak bakılabilir. Elde edilen biyopotansiyelin analizinin yapılabilmesi için kararlı bir sinyal olması istenir. Filtre yardımıyla genlik ve frekansı kararlı hale getirilen biyopotansiyeller aynı zamanda bu filtreler ile şebekeden sızan hertürlü istenmeyen sinyalleri de yok ederler.

Alçak geçiren, yüksek geçiren, band geçiren gibi değişik çeşitleri vardır. Kalp sinyalleri 1 Hz.lik sinyaller olduğundan ve şehir şebekesinden sızan 50 Hz.lik frekansı elimine etmek istenildiğinden konunun gereği alçak geçiren filtreler incelenecektir.

5.1. ALÇAK GEÇİREN FİLTRE

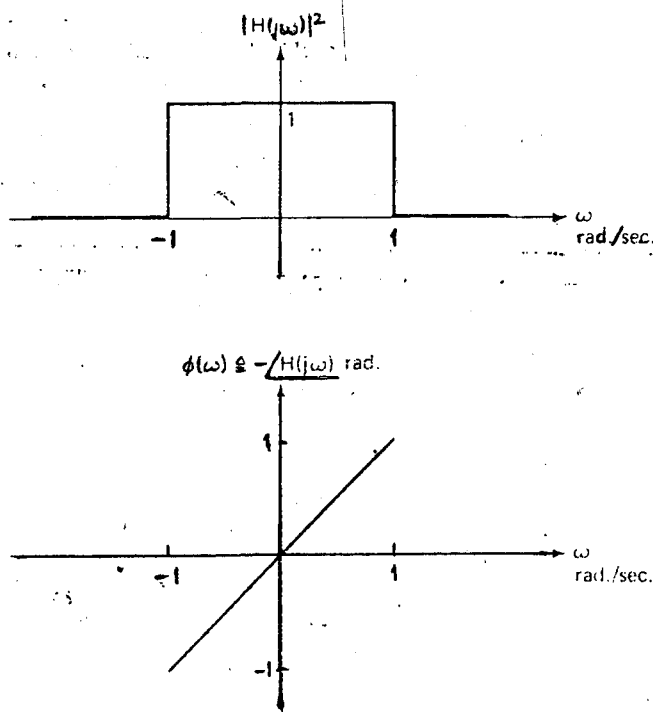
Normalize edilmiş ideal bir alçak geçiren filt-

renin karakteristiği Şekil 5.1'de görülmektedir. Şekil-
dende görüldüğü gibi frekans bandının 0-1rad/sn.lik de-
ğerleri arasındaki kazanç 1'e eşittir. Frekansın 1rad/sn.
nin üzerindeki tüm değerleri için sifıra eşit olduğu gö-
rülmemektedir. Fazı ise $\phi(\omega) = -\angle H(j\omega)$ şeklinde ve eğimide
1'e eşittir. 1 rad/sn.nin üzerindeki değerler için faz
önemli değildir. Çünkü burada herhangi bir sinyal yoktur.

Normalize edilmiş alçak geçiren filtrenin trans-
fer fonksiyonu,

$$\begin{aligned} |H(j\omega)|^2 &= e^{-j\omega} & , 0 < |\omega| < 1 \\ &= 0 & , |\omega| > 1 \end{aligned}$$

şeklinde yazılabilir (7).



Şekil 5.1. Normalize edilmiş alçak geçiren filtre
karakteristiği

Şekil 5.2'de eğimi 20dB/dec. olan alçak geçi-
ren bir filtre devresi görülmektedir. Bu devrede R_f , d_c

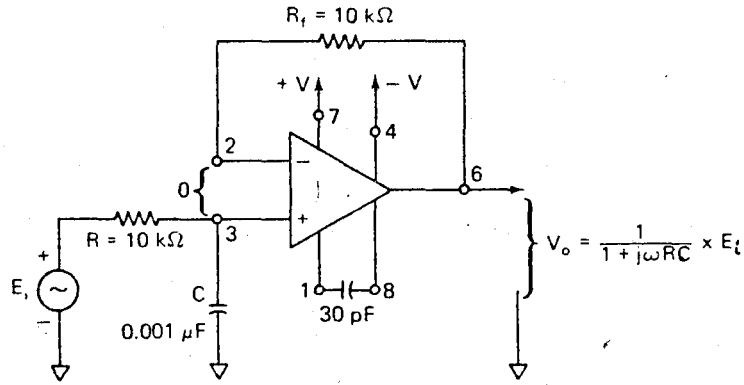
offset için olup değeri R'a eşittir. C'deki voltaj, çıkış voltajı V_o 'a eşittir (DC akımda kapasitif reaktans sonsuz). Çünkü bu devre voltaj follover olarak çalışır. E_i giriş sinyali R ve C arasında bölünür. Kapasite voltajı V_o 'a eşit ise

$$V_o = \left(\frac{1/j\omega C}{R + 1/j\omega C} \right) * E_i \quad (5.1)$$

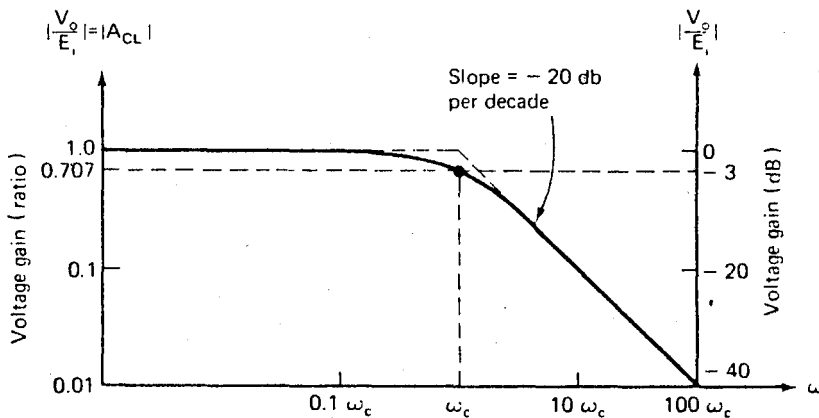
şeklinde yazılır. Burada ω giriş sinyali E_i 'nin frekansıdır ($\omega = 2\pi f$ ve $j = \sqrt{-1}$). Kapalı çevrim voltaj kazancına A_{cl} diyerek (5.1) denklemini yeniden yazılırsa,

$$A_{cl} = V_o/E_i = 1 / 1 + j\omega RC = 1 / 1 + sRC \quad (5.2)$$

olur. Şekil 5.2b'de frekansın değişmesiyle A_{cl} 'nin nasıl değiştiği görülmektedir. Düşük frekanslarda ω sı-



(a)



(b)

Şekil 5.2. Alçak geçiren filtre ve karakteristiği.

fıra, A_{c1} 'nin büyüklüğü 1'e yaklaşırken, çok yüksek frekanslarda W sonsuza yaklaşır ve A_{c1} 'nin büyüklüğü sıfır olur.

Bu şekilde bir devre tasarımı için, giriş sinyali E_i 'nin kesim frekansı ω_c belirlenir.

$$\omega_c = 1/RC = 2\pi f_c \quad (5.3)$$

olduğundan, (burada ω_c ; rad/san, f_c ; Hz., R ; ohm, C ; farad cinsindedir) buradan

$$R = 1/\omega_c C = 1/2\pi f_c C \quad (5.4)$$

yazılır ve (5.2) nolu denklemde $WRC=1$ olmak kaydıyla,

$$A_{c1} = 1/1+j = 1/2 \angle 45^\circ = 0.707 \angle -45^\circ \quad (5.5)$$

olur. Dolayısıyla A_{c1} 'nin ω_c 'deki büyüklüğü,

$$A_{c1} = 1/\sqrt{2} = 0.707 = -3 \text{ dB olur ve faz açısı } 45^\circ \text{ dir}$$

Şekil 5.2b'deki frekans tepkisi grafiği incelenirse $0.1\omega_c$ 'de $|A_{c1}| = 1$ (0 dB) ve $10\omega_c$ 'de $|A_{c1}| = 0.1$ (-20 dB) olarak bulunur. W 'nin $0.1\omega_c$ ve $10\omega_c$ arasındaki değerleri için de Tablo 5.1 elde edilir (4).

ω	$ A_{c1} $	Phase angle (deg)
$0.1\omega_c$	1.0	-6
$0.25\omega_c$	0.97	-14
$0.5\omega_c$	0.89	-27
ω_c	0.707	-45
$2\omega_c$	0.445	-63
$4\omega_c$	0.25	-76
$10\omega_c$	0.1	-84

Tablo 5.1. Büyüklük ve faz açısı tablosu

5.2. BUTTERWORTH FİLTRE

Alçak geçiren filtrenin en iyi uygulama tiplerinden biri de Butterworth filtre çeşitidir. Derecesi n olan bir Butterworth fonksiyonu ;

$$B_n(w) = 1/(1+w^{2n}), \quad n=1,2,3,\dots \quad (5.6)$$

şeklinde yazılır.

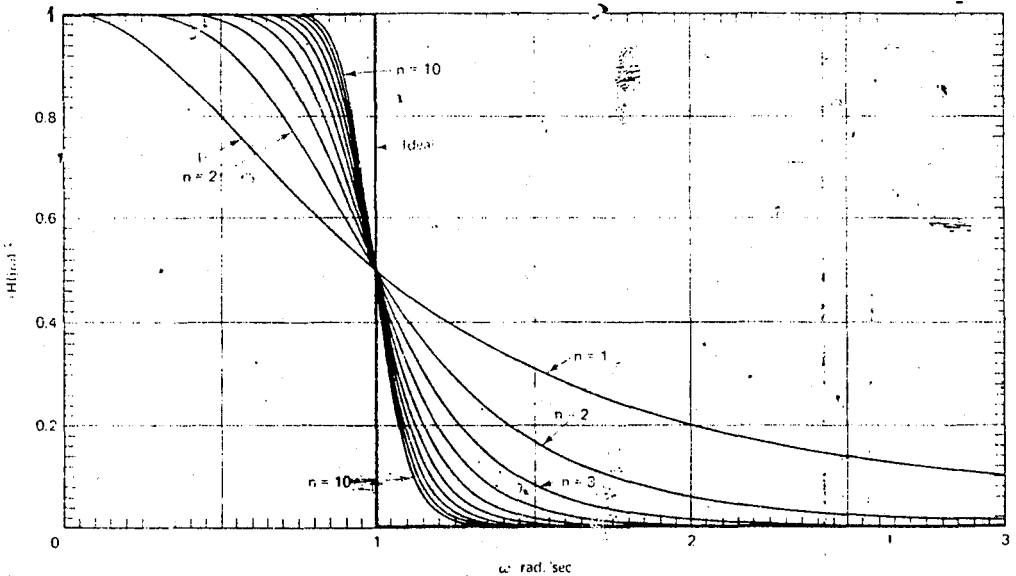
N -dereceli normalize edilmiş alçak geçiren bir Butterworth filtrenin sahip olduğu büyüklük fonksiyonu

$$|H(jw)|^2 = B_n(w) = 1/(1+w^{2n}) \quad (5.7)$$

şeklinde yazılabilir. Şekil 5.3'de denklem (5.6)'nın grafiği görülmektedir. n sonsuza gittikçe karakteristik ideale yaklaşımaktadır. Bu durumda büyüklüğün dB değeri,

$$|H(jw)|_{dB} = -10 \log |H(jw)|^2 \quad (5.8)$$

ve faz karakteristiği $\phi(w) = -\arctan(w^n)$ şeklinde ifade edilebilir. Faz karakteristiğinden de görüldüğü gibi w ve n nin çok küçük değerleri için faz fonksiyonu daima lineerdir. (5.6) denklemi ve 5.3. şeklinden alçak geçiren Butterworth filtresi için aşağıdaki özellikler çıkarılabilir.



Şekil 5.3. Butterworth fonksiyonu

1) n'nin 0,1 ve ∞ degerleri için ,

$$|H(j0)|^2=1 \quad , \quad |H(j1)|^2=0.5 \quad , \quad |H(j\infty)|^2=0 \quad (5.9)$$

yazılır ve buradan DC kazancı ($\omega=0$ 'daki büyüklüğün degeri) 1 ve 3dB kesim frekansı 1 rad/sn bulunur.

2) Butterworth filtrenin büyüklük fonksiyonu sonsuz dışında $\omega \gg 0$ için sürekli artar ve en büyük degeri $\omega=0$ 'da alır. Denklem (5.7)'nin diferansiyeli alındığında,

$$\frac{d}{d\omega} |H(j\omega)|^2 = \frac{-2n\omega^{2n-1}}{(1+\omega^{2n})^2} = 2 |H(j\omega)| \frac{d}{d\omega} |H(j\omega)|$$

$$\frac{d}{d\omega} |H(j\omega)| = \frac{1}{2 |H(j\omega)|} \frac{d}{d\omega} |H(j\omega)|^2$$

$$= - \frac{1}{2 \left[\frac{1}{1+\omega^{2n}} \right]^{1/2}} \frac{2n\omega^{2n-1}}{(1+\omega^{2n})^2}$$

$$= - \frac{n\omega^{2n-1}}{[1+\omega^{2n}]^{3/2}}$$

(5.10)

elde edilir. $\omega > 0$ için büyüklük fonksiyonunun türevi negatiftir. $|H(j\omega)|$, $\omega \gg 0$ için artan bir fonksiyondur.

3) n. dereceden Butterworth alçak geçiren filtrenin $(2n-1)$. türevi $\omega=0$ 'da sıfırdır. Bunun için bu filtreye maximally flat filtre de denir.

$$f(x) = f(0) + f'(0)x + (1/2)f''(0)x^2 + \dots (5.11)$$

şeklinde tanımlanan, $x=0$ 'da $f(x)$ 'in Taylor seri açılımına bakılacak olursa, $f(x)=1/1+x$ şeklinde tanımlanan açıl-

limi $1/1+x=1-x+x^2-x^3$ yazılabilir.

$x=w^{2n}$ alındığında ,

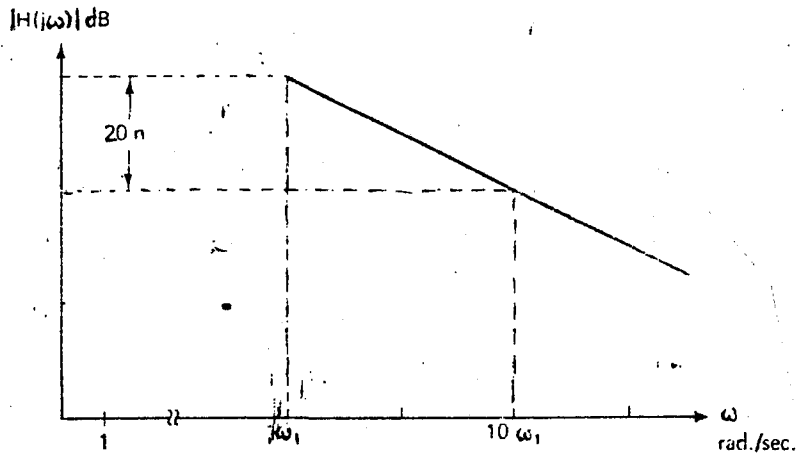
$$|H(jw)|^2 = 1 - w^{2n} + w^{4n} - \dots \quad (5.12)$$

yazılır. Buradan,

$$\left[\frac{d^k}{d\omega^k} |H(j\omega)|^2 \right] \Big|_{\omega=0} = 0, \quad k=1,2,\dots,2n-1 \quad (5.13)$$

yazılır.

4) n. dereceden Butterworth filtrenin yüksek frekanstaki kesimi $20n$ dB/decade şeklindedir (Şekil 5.4)



Şekil 5.4.

Bunun için $w \gg 1$ olduğu zaman yani ;

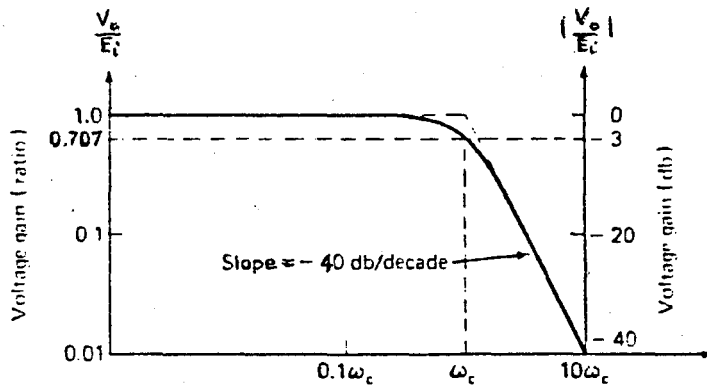
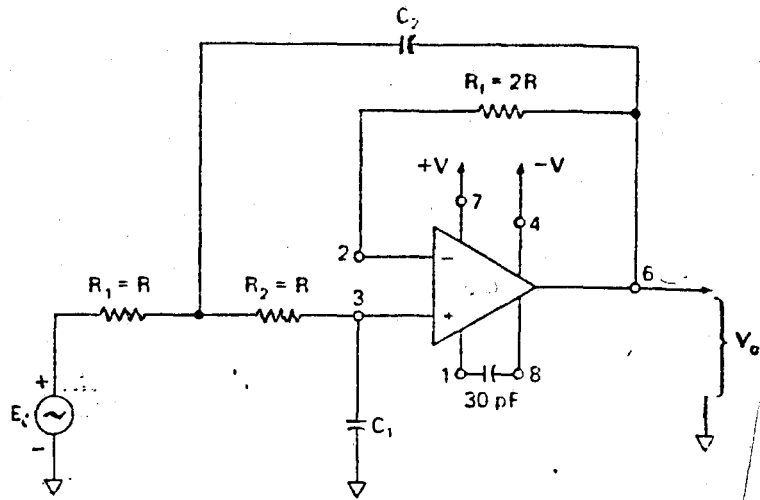
$$|H(jw)|^2 = 1/1+w^{2n} \cong 1/w^{2n}$$

$$-10 \log |H(jw)|^2 = -10 \log (1/w^{2n})$$

$$= 10 \log w^{2n} = 20n \log w \text{ dB}$$

olur (7).

Şekil 5.5'de eğimi 40dB/dec. olan bir Butterworth alçak geçiren filtre ve karakteristiği görülmek-



Şekil 5.5. Butterworth alçak geçiren filtre

tedir. Bu devrenin transfer fonksiyonu;

$$\frac{V_o(s)}{E_i(s)} = \frac{G}{R_1 R_2 C_1 C_2} \quad (5.14)$$

$$E_i(s) = s^2 + s(1/R_1 C_1 + 1/R_2 C_1 + (1-G)/R_2 C_2) + (1/R_1 R_2 C_1 C_2)$$

şeklinde yazılabilir.

$R_1=R_2=R$ ve $C_1=C_2=C$ olarak alındığında,

$$\frac{V_o(s)}{E_i(s)} = \frac{G/R^2 C^2}{s^2 + s((3-G)/RC) + 1/R^2 C^2} \quad (5.15)$$

şeklinde yazılır. İkinci derece Butterworth polinomundan normalize edilmiş paydası,

$$s^2 + 2s + 1 \text{ olduğundan}$$

$$1/R^2 C^2 = 1 \text{ ve } (3-G)/RC = 2 \text{ yazılabilir.}$$

Keyfi olarak seçilen $R_n=1$, $C_n=1$ ve OPAMP kazancı $G=1$ olarak alındığı zaman R ve C değerleri,

$$R=R_n R_0 \quad \text{ve} \quad C=C_n/R_0 W_0 \quad \text{'dan bulunur.}$$

$R_1=R_2=R$ olarak alındığında C_1 üzerindeki voltaj, çıkış voltajı V_o 'a eşit olur. Önce f_c veya W_c belirlenir. C_1 seçilir ve $R=0.707/W_c C$ 'den R hesaplanır. Şekil 5.5'deki frekans tepkisinde görüldüğü gibi

$$0.1W_c \text{ 'de } |A_{cl}| = 1 \quad (0 \text{ dB})$$

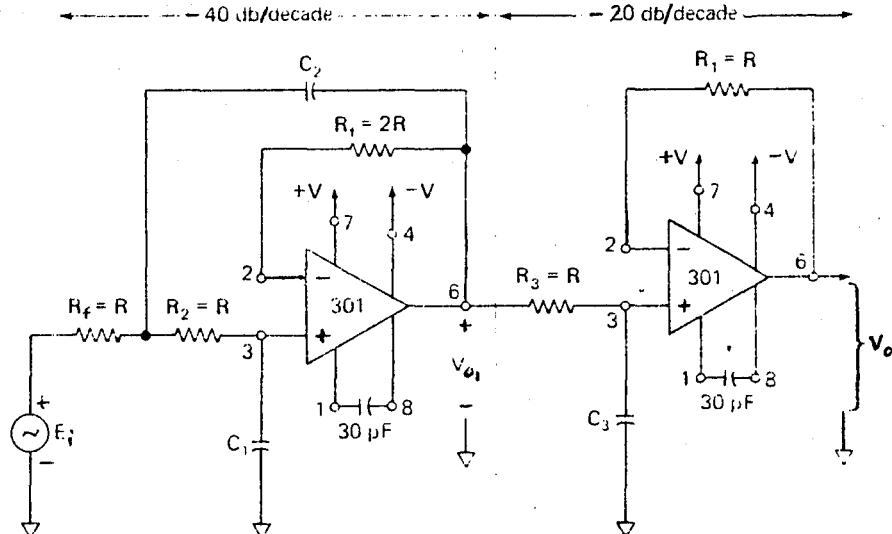
$$10W_c \text{ 'de } |A_{cl}| = 0.01 \quad (-40 \text{ dB}) \text{ 'dir. } W \text{ 'nın } 0.1$$

ile $10 W_c$ arasındaki değerler için aşağıdaki Tablo 5.2 elde edilir.

ω	$ A_{cl} $	Phase angle (deg)
$0.1\omega_c$	1.0	-8
$0.25\omega_c$	0.998	-21
$0.5\omega_c$	0.99	-43
ω_c	0.707	-90
$2\omega_c$	0.24	-137
$4\omega_c$	0.053	-143
$10\omega_c$	0.01	-172

Tablo 5.2.

Şekil 5.2 ve 5.5 'de anlatılan bu iki alçak geçiren filtre birleştirilirse eğimi 60 dB/decade olan bir filtre gerçekleştirilerek Şekil 5.6 elde edilir.



Şekil 5.6. Eğimi 60dB/dec. olan alçak geçiren filtre

Bu devrenin kapalı çevrim kazancı ;

$$A_{cl} = V_o/E_i = (V_{o1}/E_i)(V_o/V_{o1}) \quad (5.16)$$

şeklindedir. Denklem (5.16)'da birinci kısım için transfer fonksiyonu, denklem (5.15)'den

$$\frac{V_{o1}(s)}{E_i(s)} = \frac{G/R_1 R_2 C_1 C_2}{s^2 + s(1/R_1 C_1 + 1/R_2 C_1 + (1-G)/R_2 C_2) + 1/R_1 R_2 C_1 C_2}$$

şeklinde olan ve ikinci kısım için de denklem (5.2)'den,

$$\frac{V_o}{V_{o1}} = \frac{1}{1+j\omega RC} = \frac{1}{1+sRC}$$

şeklinde olduğu için denklem (5.16)'da bu değerler yerine konulduğunda,

$$\frac{V_o}{E_i} = \frac{V_{o1}(s)}{E_i(s)} \times \frac{V_o(s)}{V_{o1}(s)}$$

elde edilir.

Bu devrede $R_1=R_2=R_3=R$ ve

$C_1=C_2=C_3=C$ olarak alındığı zaman

denklemin çözümü ;

$$\begin{aligned} \frac{V_o}{E_i} &= \frac{G/R^2 C^2}{s^2 + s((3-G)/RC) + 1/R^2 C^2} \times \frac{1}{sRC + 1} \\ &= \frac{G/R^2 C^2}{s^3 RC + s^2(3-G) + s/RC + s^2 + s((3-G)/RC) + 1/R^2 C^2} \end{aligned}$$

Burada $G=1$ için;

$$\frac{V_o}{E_i} = \frac{1/R^2 C^2}{s^3 RC + 3s^2 + s 3/RC + 1/R^2 C^2}$$

$$= \frac{1/R^3 C^3}{s^3 + s^2 3/RC + s 3/R^2 C^2 + 1/R^3 C^3}$$

Fakat 3. dereceden Butterworth polinomunun paydası,

$s^3 + 2s^2 + 2s + 1$ şeklinde olduğundan ,

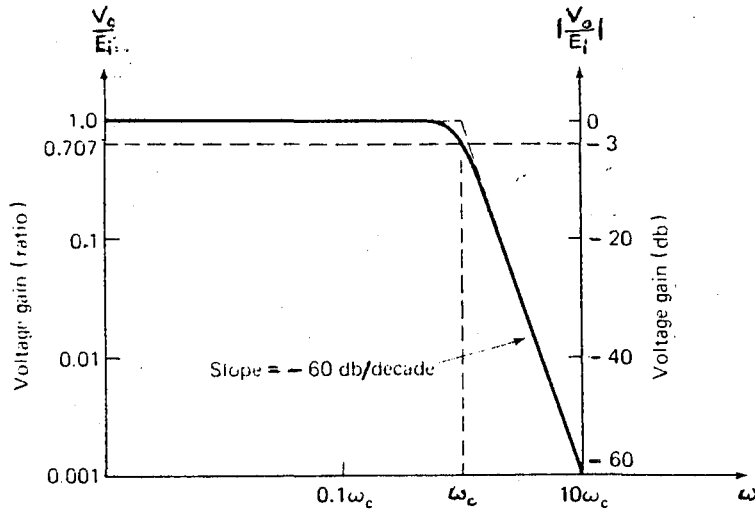
$3/RC=2$, $3/R^2 C^2=2$ ve $1/R^3 C^3=1$ eşitliklerinden yararlanılarak $R=R_n R_o$ ve $C=C_n/R_o W_o$ değerleri hesaplanır. Bu değerler başlangıçta farklı olarak alındığı zaman, yani $C_1=C_2=C_3$ ve $R_1=R_2=R_3$ olduğunda çıkan sonuçlar farklı olacaktır. Örneğin, Şekil 5.6'daki devre için $C_1=C_3/2$ ve $C_2=2C_3$ ve tüm R'ler birbirine eşit alındığında aşağıdaki yol takip edilebilir:

- Önce f_c veya W_c belirlenir.
- C_3 0.001-1 F arasında bir değer seçilir.
- $C_1=C_3/2$ ve $C_2=2C_3$ hesaplanır.
- $R=1/W_c C_3$ 'den hesaplanarak

$R_1=R_2=R_3=R$ alınır.

- $R_{f1}=2R$ ve $R_{f2}=R$ olduğu zaman en iyi sonuç elde edilir. Burada R'nin değerinin 10-100K arasında olmasına dikkat edilmelidir. Aksi takdirde C_3 değeri yeniden seçilmelidir.

Devre elemanları yukarıdaki değerlerde alındığı zaman Şekil 5.6'daki devrenin frekans karakteristiği Şekil 5.7'deki gibi çıkar. Tasarımı yapılan devrede eğimi 60 dB/decade olan Butterworth alçak geçiren filtre (Şekil 5.6) kullanılır.



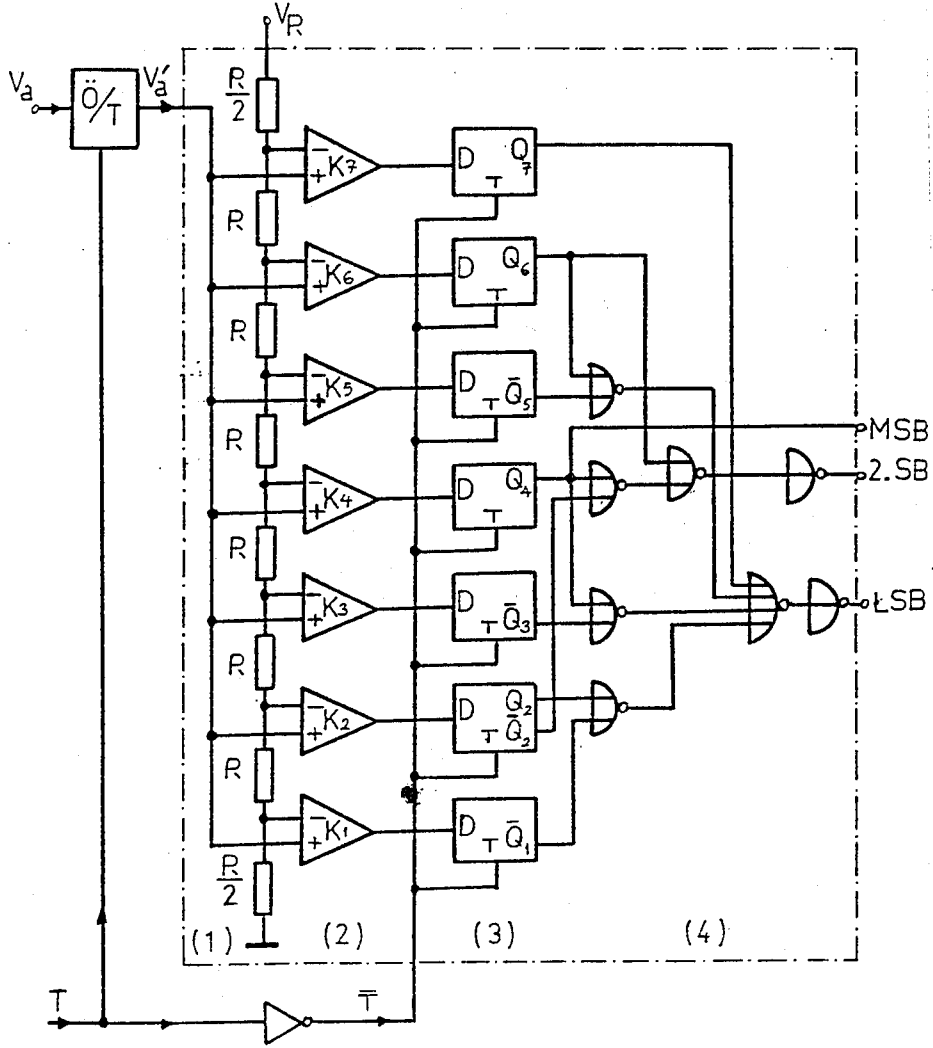
Şekil 5.7. Frekans tepkisi

BÖLÜM 6

ANALOG / SAYISAL ÇEVİRİCİ

Analog sinyallerin, analizini yapabilmek için veya bilgisayara aktarabilmek için sayısal değerlere çevrilmesi gereklidir. Bunun için analog/sayısal çevirici entegreler kullanılır. Değişik ADC tipleri vardır. Şekil 6.1'de paralel tipten 3 bitlik bir ADC'nin basitleştirilmiş şeması görülmektedir.

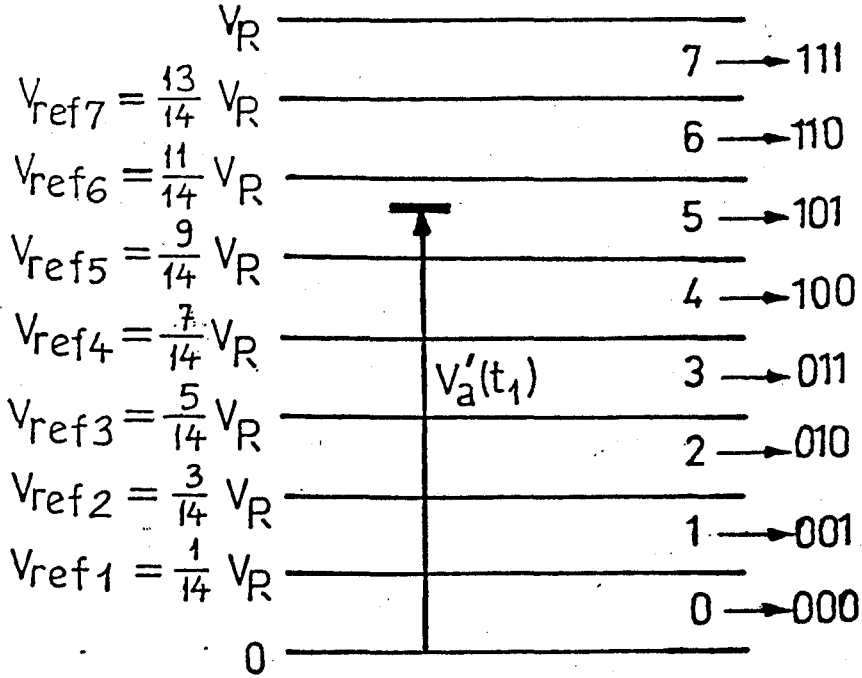
Şekilde (1); referans gerilim bölücüsü, (2); karşılaştırıcılar, (3); sayıcılar, (4); kodlayıcı adını alan dört bölümden oluşur ve çevirici girişinde örnekle-tut (sample and hold) devresine ihtiyaç gösterir. Örnekle-tut devresi, girişine uygulanan analog işaretten her t darbesinin pozitif tepesinde örnek alır. Bu örnek gerilim, ikinci t darbesi gelinceye kadar çıkışında durur. Böylece bu çevirici de gerilimin içine düştüğü gerilim



Şekil 6.1.Paralel ADC

bölgesini belirleyerek sayıcılara depo edinceye kadar analog işaret girişte bekler.

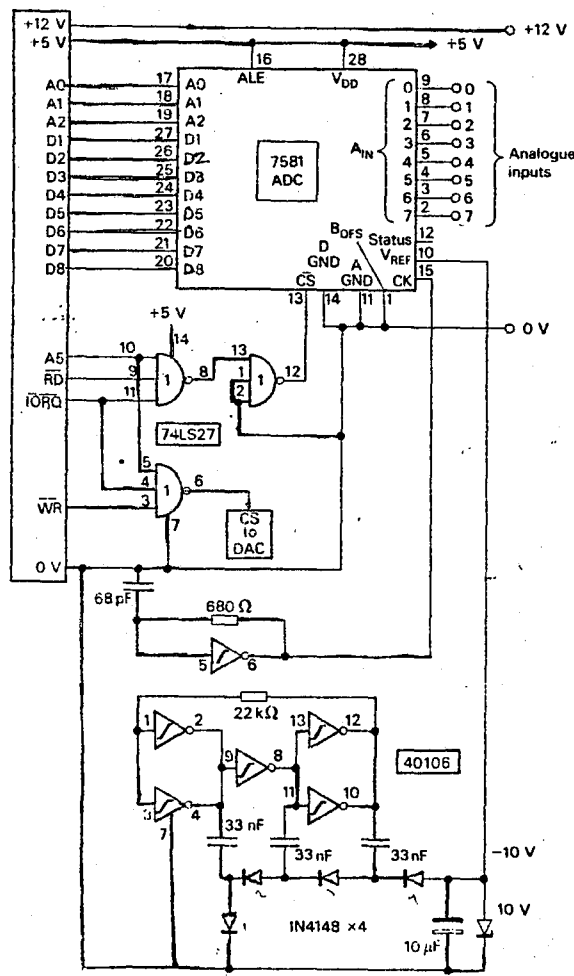
Karşılaştırıcının (comparator) (+) girişine uygulanan V_a gerilimi, (-) girişine uygulanan V_{ref} geriliminden küçükse çıkışı "0" seviyesinde ve büyükse "1" seviyesinde olur. Şekil 6.2'de karşılaştırıcılara uygulanan referans gerilimleri görülmektedir. Bu referans gerilim seviyeleri (0- V_R) gerilim bölgesini 3 bitlik bir çıkış için 8 bölgeye ayırır. Örneklenen V_a işaretinin t_1 anında $V_a(t_1)$ olduğunu ve 6. bölgeye düştüğü varsayılırsa, karşılaştırıcının giriş-



Şekil 6.2.

çıkış karakteristiği göz önüne alınarak K1, K2, K3, K4 ve K5 karşılaştırıcılarının çıkışlarının "1", K6 ve K7 çıkışlarının ise "0" olduğu görülür. $V_a(t_1)$ 6. bölgeye düşmekte ve geçtiği son referans seviyesi 5. seviye olmaktadır. Dolayısıyla bu genlik kodlayıcısının çıkışında "101=5" sayısı ile temsil edilmektedir. Şekil 6.1'deki kapı devreleri bu işi yapmaktadır. Karşılaştırıcıların çıkışları t tetikleme darbesi ile sayıcılara alındığında $Q_0=0, Q_1=0, Q_2=1, Q_3=0, Q_4=1, Q_5=0, Q_6=0, Q_7=0$ olur. Bu bilgi kapı devrelerinden oluşan kodlayıcı tarafından MSB=1, 2SB=0, LSB=1 olarak tercüme edilir.

Bir çeviricinin bit sayısı arttıkça seviyelerin sayısı da artar. Dolayısıyla çevirme işlemi daha sağlıklı olur. Örneğin 4 bitlik bir çeviricide 16 bölge bulunur. Bit sayısı arttıkça gerilim bölgeleri küçüleceğinden çeviricinin doğruluğu artar.



Şekil 6.3. ADC devresi

Şekil 6.3'de ADC entegresi ve bilgisayara bağlanması görülmektedir. Kullanılan entegre 8 bitlik olup bazı özellikleri şöyle sıralanabilir:

- Bilgisayara direkt bağlanabilir.
- Besleme voltajı 5V'u bilgisayardan alır.
- Her giriş örnekleme süresi $50\mu s$ 'dir.
- Analog giriş 0-10V arasında olmalıdır.

Şekil 6.3'de üç adet entegre kullanılmıştır (7581, 7427 ve 40160). 7581'in data ve adres çıkışlarından A0, A1, A2 çıkışı kullanılmıştır. 7427'nin iki kapısı adresleme için kullanılmıştır. Bu kapılara giriş A5, RD, IORQ

hatlarından olup doğruluk tablosu Tablo 6.1'de verilmiştir.

A5	\overline{RD}	\overline{IORQ}	CS	\overline{CS}
0	0	0	1	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1

Tablo 6.1

CS; Chip Select

7581'in \overline{CS} girişinde lojik seviyesi sıfır olduğunda herhangi bir bilgi aktarımı söz konusu değildir. Doğruluk tablosunda da görüldüğü gibi \overline{RD} ve \overline{IORQ} seviyeleri sıfır iken bu durum olur. \overline{CS} 'in lojik seviyesi 1 olduğu zaman adres hattına bilgi aktarılır. Giriş analog sinyali 0-10 V. arasındadır ve sayısal olarak 0-255 (8 bitlik) arasında değişir. Referans gerilimi -10 V olarak 10 nolu uca bağlanmıştır. 15 nolu uca saat darbesi olarak 1.6MHz'lik sinyal, "Schmitt inverters" ve R,C yardımıyla sağlanır. 40106'daki diğer "Schmitt inverters"ler ise diyot ve kapasite yardımıyla voltaj katlayıcı olarak görev yapar.

Bu projede Şekil 6.3'deki devre gerçekleştirilip ohmmetre ile kısa devre testi yapıldıktan sonra aşağıdaki programla da devrenin çalışıp çalışmadığı kontrol edilir.

```
10 CLS
20 FOR X=1 TO 10
30 PRINT AT X,0;(22+X),IN(22+X)
40 NEXT X
50 GOTO 20
```

Program "run" edildikten sonra aşağıdaki sonuçlar ekranda elde ediliyorsa devre çalışıyor ve uygulamaya hazır demektir (6).

23	0
24	255
25	255
26	255
27	255
28	255
29	255
30	255
31	255
32	0

BÖLÜM 7

DEVRENİN TASARIMI ve ÇALIŞMASI

Şekil 7.1.'deki devre daha önceki bölümlerde anlatılan bilgiler ışığında gerçekleştirilmiştir.

Devrenin birinci kısmını instrumentasyon kuvvetlendiricisi oluşturur. Denklem (4.4)'den devrenin kazancı $G=1+2R/(aR+R)$ şeklinde idi. Gerçekleştirilen devrede $R=100K$ ve $aR=10K$ olarak alınmış ve kazanç 21 olarak bulunmuştur. Bu değer fark kuvvetlendiricisinde 10 ile çarpılarak devrenin toplam kazancı 210 olarak elde edilmiştir.

Burada yapılan CMRR ölçümünde ise:

$$A_{dm}=10V/5mV=2000, \quad A_{cm}=1mV/10mV=0.1 \quad \text{ve}$$

$$CMRR=A_{dm}/A_{cm}=2000/0.1=20000$$

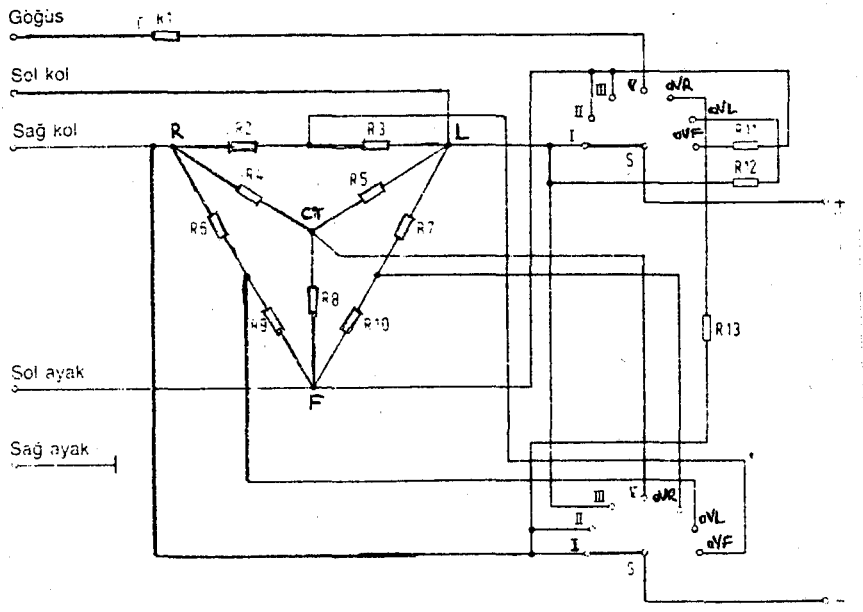
$$CMRR(dB)=20\log(20000)=86 \text{ dB. olarak hesaplan-}$$

mıştır.

ikinci kısım, optokuplörün olduğu yalıtım devresidir. Optokuplör transistörünün kolektöründe bulunan R_c trimpotu ile transfer oranı kazanç 10 olacak bir şekilde ayarlanmıştır. Böylece kazanç $210 \cdot 10 = 2100$ olarak elde edilmiştir. Yani yaklaşık $1mV$ 'luk bir giriş için $2V$ 'luk bir çıkış elde edilmiştir.

Devrenin üçüncü kısmını ise filtre oluşturmaktadır. Kesim frekansı $\omega_c = 30Hz$ olarak alınmıştır ve R ve C değerleri denklem (5.4)'den hesaplanmıştır. Filtre çıkışında sinyal seviyesi, $\pm 2V$ olmaktadır. Fakat ADC devre girişine ise sıfır ile pozitif değerler arasında sinyal girilmesi gerekmektedir. Bu nedenle filtre çıkışına da dc offset devresi ilave edilmiştir. Böylece çıkış sinyali pozitif bölgeye çekilerek ADC girişine uygulanabilecek bir seviyeye getirilmiştir. Buradan elde edilen sinyal ADC yardımıyla Amstrad 6128 bilgisayarına aktarılır.

Ayrıca şekil 7.2'deki devre, asıl devrenin girişine konarak derivasyon türü değişken anahtar ile se-



Şekil 7.2. Derivasyon anahtarı

çilebilir. Böylece elektrodlar anahtarlar ile değiştirilmiş olur. Yazılan bir programla (Bakınız Ek-2) bilgisayara aktarılan sinyal ekranda çizdirilir; istenilen eğri elde edildikten sonra diskete aktarılabilir veya yazıcıya çizdirilebilir. Böylece hastaya ait bilgilerin daha sonra incelenmesi bu şekilde mümkün olur. Şekil 7.4'de bilgisayar çıktıları görülmektedir.

7.1. DC OFFSET DEVRESİ

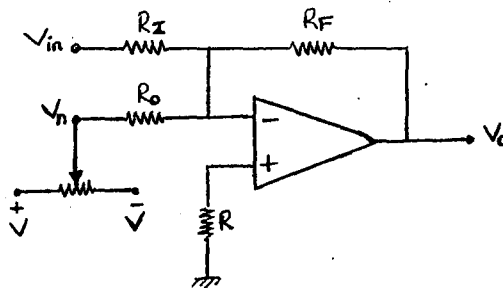
Şekil 5.6'daki filtre devresinin çıkışında elde edilen sinyal +/-2V seviyesindedir. Analog/Digital çevirici için gerekli giriş sinyali seviyesi ise 0-10V aralığında, yani pozitif bölgededir. Bu nedenle filtre çıkışında elde edilen sinyal doğrudan ADC girişine uygulanamaz. Böylece +/-2V seviyesi DC OFFSET devresinden geçirilerek çıkış seviyesi pozitif bölgede değişecek şekilde ayarlanır. Şekil 7.3'deki DC OFFSET devresinin V_o çıkış gerilimi denklemi,

$$V_o = (-R_f/R_i)V_{in} + (-R_f/R_o)V_n \quad (7.1)$$

şeklindedir. Burada $R_f = R_i = R_o$ olarak alınırsa Denklem (7.1),

$$V_o = -V_{in} - V_n$$

şeklinde yazılır. Buradaki V_n değerinin pozitif veya negatifliği artırılarak V_{in} giriş sinyali, V_n dc seviyesi



Şekil 7.3. DC OFFSET Devresi

üzerine bindirilir. Böylece çıkışta elde edilen Vo sinyali istenilen dc bölgesine çekilerek ADC girişine uygulanmaktadır (9).

7.2. BİLGİSAYAR

ADC çıkışında elde edilen sayısal (digital) sinyal AMSTRAD 6128 bilgisayarına aktarılır. Disk drive ünitesine ve Z80 mikroişlemcisine sahip bilgisayarın 128K'lık hafızası mevcuttur. 64K'lık hafıza kullanıcıya ayrılmış olup, geri kalan 64K'lık hafıza da bilgisayar programlarının yürütülmesinde kullanılır. 4MHz.'lik clock frekansına sahiptir. Kullanıcı girişlerinden (user's port) yararlanılarak sayısal hale getirilmiş sinyal INP(F8F0) komutu ile bilgisayara aktarılır. Bu sinyalin yazılan bir program yardımıyla (Bakınız Ek-2) bilgisayar ekranında izlenmesi, diske kaydedilmesi ve kağıda aktarılması da mümkündür.

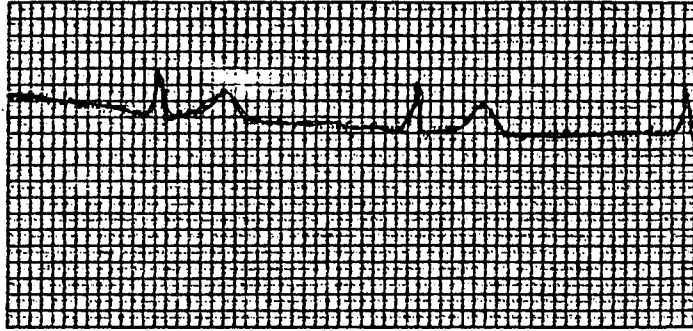
7.3. SONUÇ VE ÖNERİLER

Bu çalışmada, işlemsel kuvvetlendiricilerden FET girişliler kullanılarak EKG biyopotansiyellerinin gözlenmesi sağlanmıştır. Elde edilen sinyal filtrelenerek gürültüsüz bir şekilde elde edilmiştir. Ayrıca şebekeden yalıtılarak insan hayatı tehlikeye atılmamıştır. Elde edilen sinyallerin kağıda aktarılması ve depolanması sorunları da bilgisayar ile çözümlenmiştir.

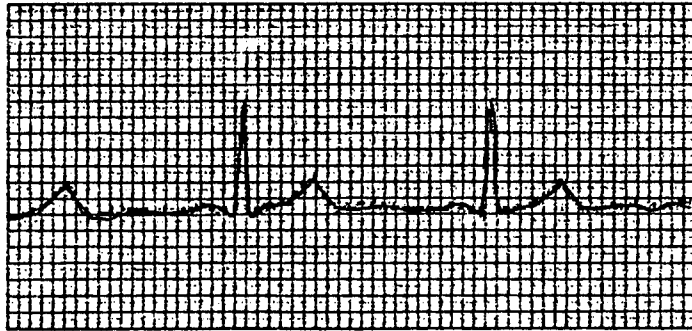
Bundan sonra yapılabilecek çalışmalarda, "high resulation" sistemler kullanarak gürültü sinyallerini tamamen elimine etmek ve CMRR oranı çok yükseltilerek devrenin giriş hassasiyetini dahada artırmak mümkündür.

Devre girişinde kullanılan %1'lik direnç tolerans değerleri %0.1'lik olarak seçilmelidir. Devrenin şehir şebekesinden yalıtılması için özel yalıtım elemanları kullanılabilir. Bilgisayar programları PC bilgisayarlar için yazılıp, hastaya ait kimlik bilgisi dahil daha çok bilgi depolayabilecek şekilde yazılabilir. Bilgisayardaki EKG sinyallerinin sayısal analizini yapmak ve sinyallerden hastalığı teşhis etmekte mümkün olabilecektir.

1. Derivasyon

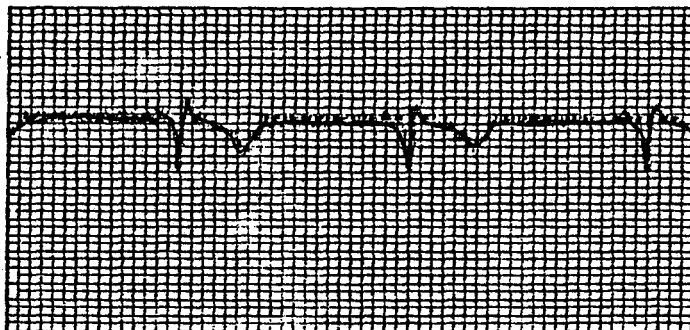
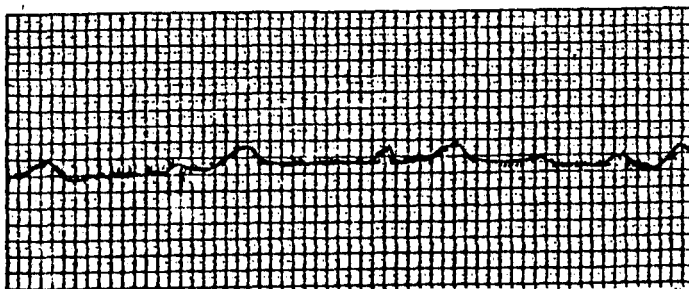


2. Derivasyon

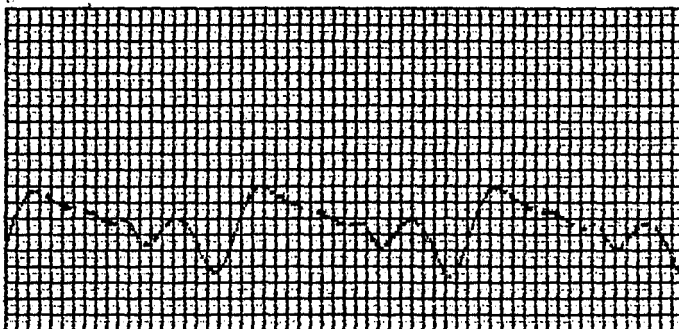


3. Derivasyon

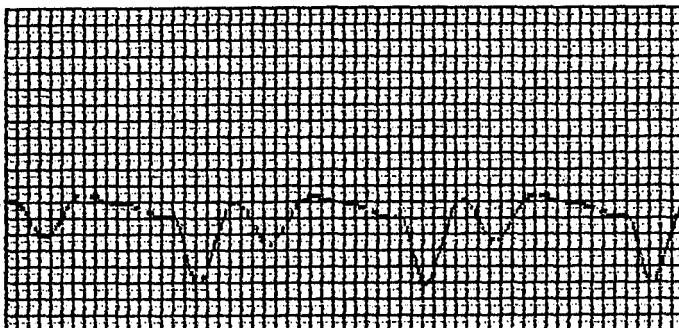


aUR Derivasyonu**aVF Derivasyonu****aVL Derivasyonu**

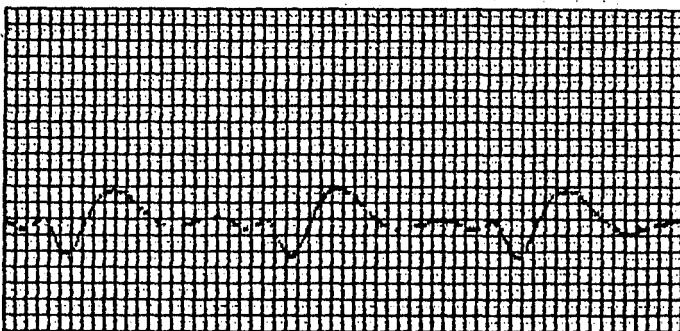
V1 Derivasyonu

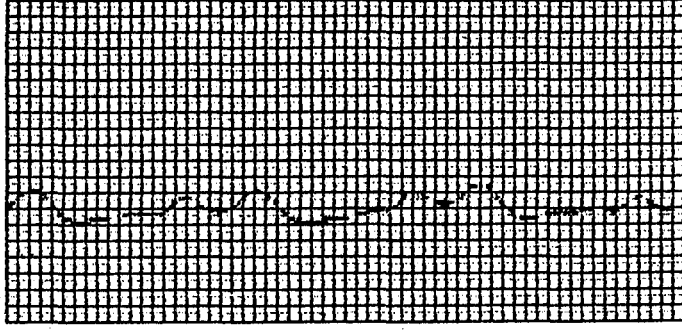
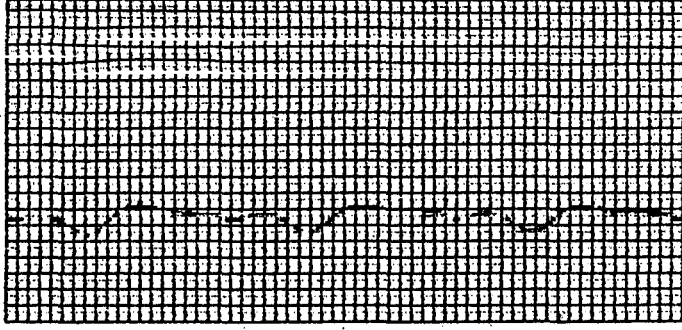


V2 Derivasyonu



V3 Derivasyonu



V1 Derivasyonu**V5 Derivasyonu****V6 Derivasyonu**

Şekil 7.4.

KAYNAKLAR

- (1). "Kalp atıslarının görülmesi", George Walz, 1982
- (2). "Türkiye klinikleri", cilt 6, 1986
- (3). "Biomedical instrumentation and measurement",
Cromvell, Weibell, Pfeiffer.
- (4). "Operational amplifier and linear integrated
circuits", Coughlin, Driscoll.
- (5). "Practical electronics", March 1985.
- (6). "Interfacing and projects", Graham Bishop, 1983
- (7). "Modern filter design", A.Roberth Dennish, 1979
- (8). "Amstrad 128 kullanım kılavuzu"
- (9). "Operational Amplifier Characteristics and
Applications", Robert G. Irvine.

EK -1

```

10 MODE 1
20 ON ERROR GOTO 60
30 DIM saha%(639)
40 DEF FN ser(deriv,n)=deriv*1000+24000+n
50 OPENOUT "dd":MEMORY 24999:CLOSEOUT
60 MODE 1:PEN 2:LOCATE 8,4:PRINT "| #####"
70 FOR n=5 TO 19:LOCATE 8,n:PRINT"| |":NEXT
80 LOCATE 8,9:PRINT "| #####"
90 LOCATE 8,20:PRINT"| #####"
100 PEN 1:LOCATE 11,6:PRINT
110 LOCATE 11,7:PRINT"ELEKTROKARDIYOGRAFI"
120 LOCATE 14,10:PRINT"* * MENU * *"
130 LOCATE 11,12:PRINT"1 - Hastadan Okuma"
140 LOCATE 11,14:PRINT"2 - Diskte Kaydetme"
150 LOCATE 11,16:PRINT"3 - Diskten Okuma"
160 LOCATE 11,18:PRINT"4 - Trase Inceleme"
170 CLEAR INPUT
180 a%=INKEY$
190 IF a%="1" THEN 240
200 IF a%="2" THEN 410
210 IF a%="3" THEN 470
220 IF a%="4" THEN 520
230 GOTO 180
240 MODE 2
250 FOR deriv=1 TO 12
260 GOSUB 680
270 MODE 2:PRINT deriv$:PRINT:PRINT"Hazir olunca F1 , Menu icin F3"
280 FOR n=0 TO 639:OUT &F8E0,0:PLOT n,INP(&F8E0):NEXT n
290 a%=INKEY$:IF a%="1" THEN GOTO 320
300 IF a%="3" THEN deriv=12:GOTO 390
310 GOTO 270
320 FOR n=0 TO 639:OUT &F8E0,0:saha%(n)=INP(&F8E0):NEXT n
330 FOR n=0 TO 639:POKE FN ser(deriv,n),saha%(n):NEXT n
340 MODE 2:PRINT deriv$:FOR n=0 TO 639:PLOT n,saha%(n):NEXT n
350 PRINT:PRINT"Kahul Ediyord musunuz ? ( E / H )"
360 a%=INKEY$:IF UPPER$(a%)="E" THEN GOTO 390
370 IF UPPER$(a%)="H" THEN GOTO 270
380 GOTO 360
390 NEXT deriv
400 GOTO 60
410 MODE 1:PEN 3:PRINT"Diskte Kaydetme ----->"
420 PEN 1:IDIR,"*.ekg"
430 PRINT"Diskte Uzerinde 12 K 'd'n az yer varsa lutfen YFNT diskte kullani
:PRINT:PRINT
440 PEN 2:INPUT "Lutfen Kaydedilecek Doeyanin Iemini Veriniz -->",file$
450 SAVE file$+".ekg",h,25000,12000
460 GOTO 60
470 MODE 1:PEN 3:PRINT"Diskten Okuma ----->"
480 PEN 1:IDIR,"*.ekg"
490 PEN 2:INPUT "Lutfen Yuklenecek Doeyanin Iemini Veriniz -->",file$
500 LOAD file$+".ekg",25000
510 GOTO 60
520 MODE 1
530 PRINT"<Space> tuuu ile Derivasyon Seresininiz
< ctrl COPY > ile Ekranin Kopyasini Ci
kartiriniz":PRINT:PRINT
540 INPUT "Lutfen Gormek Istediginiz Derivasyonun Numarasini Giriniz (0=Men
-)",deriv
550 IF deriv=0 THEN 60
560 GOSUB 680
570 MODE 1
580 GRAPHICS PEN 3:FOR n=0 TO 600 STEP 10:PLOT n,0:DRAW n,240:NEXT n
590 GRAPHICS PEN 3:FOR n=0 TO 240 STEP 6:PLOT 0,n:DRAW 600,n:NEXT n
600 GRAPHICS PEN 2:FOR n=0 TO 600 STEP 50 :PLOT n,0:DRAW n,240:NEXT n
610 GRAPHICS PEN 2:FOR n=0 TO 240 STEP 30:PLOT 0,n:DRAW 600,n:NEXT n
620 GRAPHICS PEN 1
630 PRINT deriv$

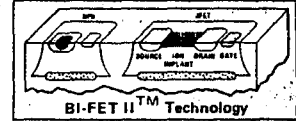
```

```
640 PRINT 0,PEEK(EN eec(deriv,0))
650 FOR n=1 TO 600:DRAW n,PEEK(EN eec(deriv,n)):NEXT n
660 a$=INKEY$:IF a$=" " THEN GOTO 520
670 GOTO 660
680 ON deriv GOTO 690,700,710,720,730,740,750,760,770,780,790,800
690 deriv$="1.Derivasyon":RETURN
700 deriv$="2.Derivasyon":RETURN
710 deriv$="3.Derivasyon":RETURN
720 deriv$="aVI Derivasyonu":RETURN
730 deriv$="aVR Derivasyonu":RETURN
740 deriv$="aVF Derivasyonu":RETURN
750 deriv$="V1 Derivasyonu":RETURN
760 deriv$="V2 Derivasyonu":RETURN
770 deriv$="V3 Derivasyonu":RETURN
780 deriv$="V4 Derivasyonu":RETURN
790 deriv$="V5 Derivasyonu":RETURN
800 deriv$="V6 Derivasyonu":RETURN
```

LF147/LF347

National Semiconductor
LF147/LF347 Wide Bandwidth Quad JFET Input Operational Amplifiers

Operational Amplifiers/Buffers



General Description

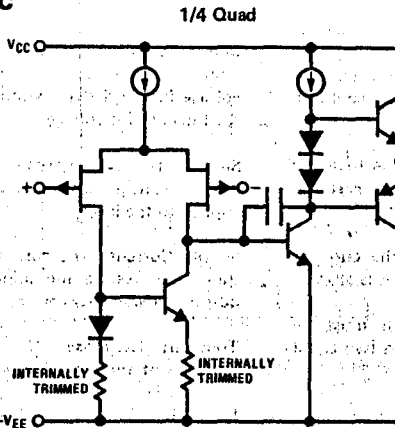
The LF147 is a low cost, high speed quad JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well-matched high voltage JFET input devices provide very low input bias and offset currents. The LF147 is pin compatible with the standard LM148. This feature allows designers to immediately upgrade the overall performance of existing LF148 and LM124 designs.

The LF147 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift.

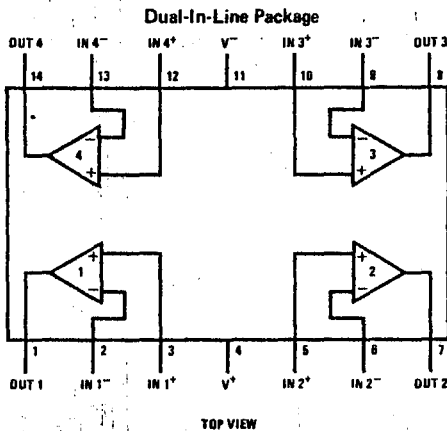
Features

- Internally trimmed offset voltage 2 mV
- Low input bias current 50 pA
- Low input noise current 0.01 pA/√Hz
- Wide gain bandwidth 4 MHz
- High slew rate 13 V/μs
- Low supply current 7.2 mA
- High input impedance 10¹²Ω
- Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz < 0.02%
- Low 1/f noise corner 50 Hz
- Fast settling time to 0.01% 2 μs

Simplified Schematic



Connection Diagram



Order Number LF147D or LF347D
 See NS Package D14E

Order Number LF347BN or LF347N
 See NS Package N14A

Absolute Maximum Ratings

	LF147	LF347B/ LF347	LF147	LF347B/LF347
Supply Voltage	±22V	±18V	900 mW	800 mW
Differential Input Voltage	±38V	±30V	(Note 3)	
Input Voltage Range (Note 1)	±19V	±15V	T _j max	150°C
Input Short Circuit Duration (Note 2)	Continuous	Continuous	θ _{JA}	100°C/W
			Operating Temperature Range	(Note 4)
			Storage Temperature Range	-55°C ≤ T _A ≤ 150°C
			Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Note 5)

SYMBOL	PARAMETER	CONDITIONS	LF147			LF347B			LF347			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V _{OS}	Input Offset Voltage	R _S = 10 kΩ, T _A = 25°C Over Temperature		1	5		3	5		5	10	mV
ΔV _{OS} /ΔT	Average TC of Input Offset Voltage	R _S = 10 kΩ		10			10			10	13	μV/°C
I _{OS}	Input Offset Current	T _J = 25°C, (Notes 5, 6) Over Temperature		25	100		25	100		25	100	pA
I _B	Input Bias Current	T _J = 25°C, (Notes 5, 6) Over Temperature		50	200		50	200		50	200	pA
R _{IN}	Input Resistance	T _J = 25°C		10 ¹²			10 ¹²			10 ¹²		Ω
A _{VOL}	Large Signal Voltage Gain	V _S = ±15V, T _A = 25°C V _O = ±10V, R _L = 2 kΩ Over Temperature	50	100		50	100		25	100		V/mV
V _{OS}	Output Voltage Swing	V _S = ±15V, R _L = 10 kΩ	±12	±13.5		±12	±13.5		±12	±13.5		V
V _{CM}	Input Common-Mode Voltage Range	V _S = ±15V	±11	+15 -12		±11	+15 -12		±13	+15 -12		V
CMRR	Common-Mode Rejection Ratio	R _S ≤ 10 kΩ	80	100		80	100		70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 7)	80	100		80	100		70	100		dB
I _Q	Supply Current			7.2	11		7.2	11		7.2	11	mA

AC Electrical Characteristics (Note 5)

SYMBOL	PARAMETER	CONDITIONS	LF147			LF347B			LF347			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
	Amplifier to Amplifier Coupling	T _A = 25°C, f = 1 Hz–20 kHz (Input Referred)		-120			-120			-120		dB
SR	Slew Rate	V _S = ±15V, T _A = 25°C		13			13			13		V/μs
GBW	Gain-Bandwidth Product	V _S = ±15V, T _A = 25°C		4			4			4		MHz
e _n	Equivalent Input Noise Voltage	T _A = 25°C, R _S = 100Ω, f = 1000 Hz		20			20			20		nV√/Hz
i _n	Equivalent Input Noise Current	T _J = 25°C, f = 1000 Hz		0.01			0.01			0.01		pA√/Hz

Note 1: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 2: Any of the amplifier outputs can be shorted to ground indefinitely, however, more than one should not be simultaneously shorted as the maximum junction temperature will be exceeded.

Note 3: For operating at elevated temperature, these devices must be derated based on a thermal resistance of θ_{JA}.

Note 4: The LF147 is available in the military temperature range -55°C ≤ T_A ≤ 125°C, while the LF347B and the LF347 are available in the commercial temperature range 0°C ≤ T_A ≤ 70°C.

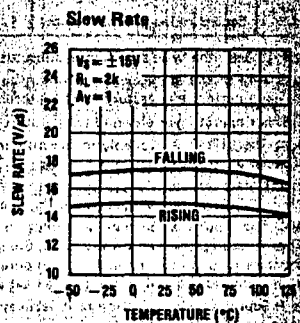
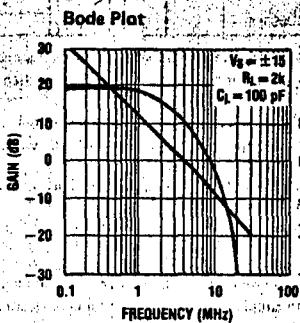
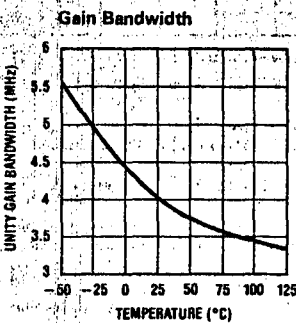
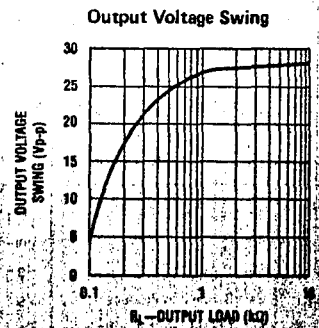
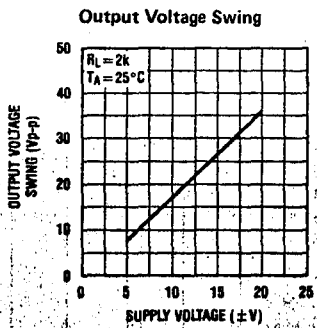
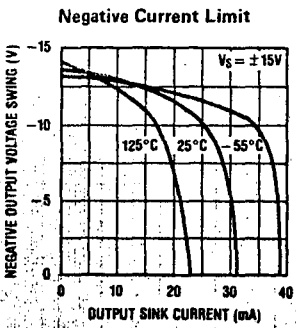
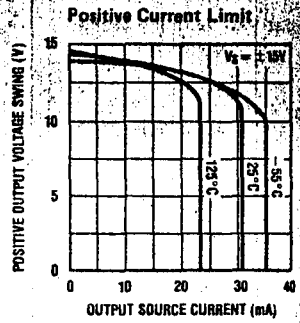
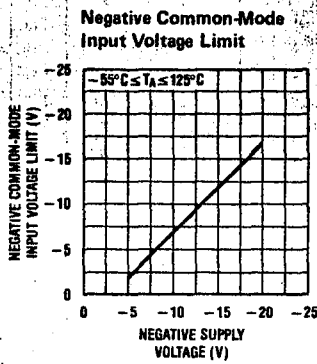
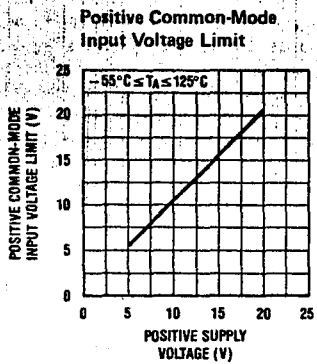
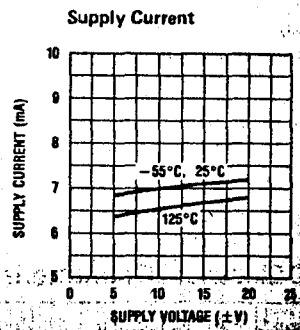
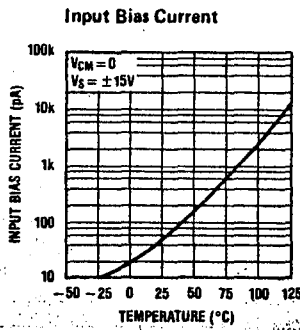
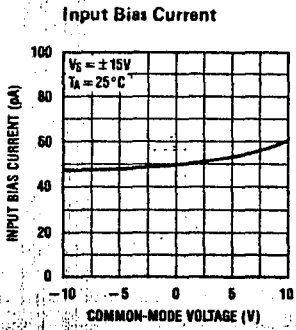
Note 5: Unless otherwise specified the specifications apply over the full temperature range and for V_S = ±20V for the LF147 and for V_S = ±15V for the LF347B/LF347. V_{OS}, I_B, and I_{OS} are measured at V_{CM} = 0.

Note 6: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_J. Due to limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. T_J = T_A + θ_{JA} P_D where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 7: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

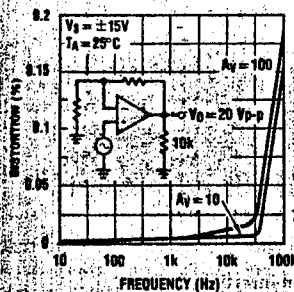
LF147/LF347

Typical Performance Characteristics

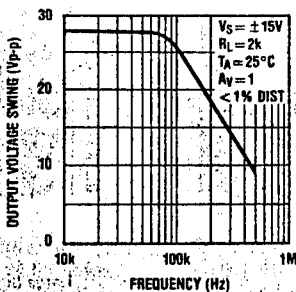


Typical Performance Characteristics (Continued)

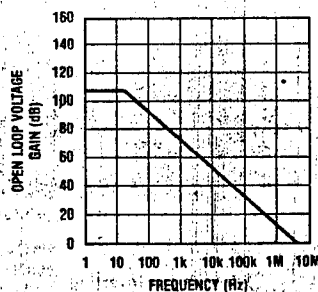
Distortion vs Frequency



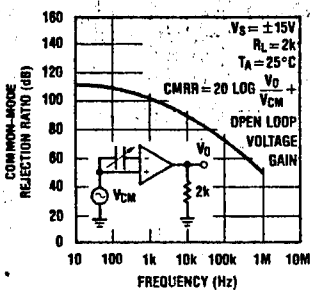
Undistorted Output Voltage Swing



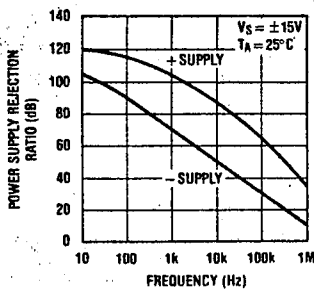
Open Loop Frequency Response



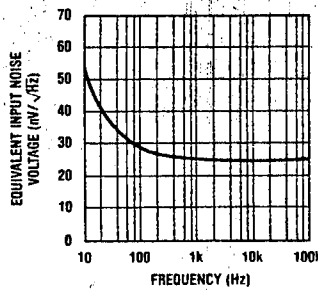
Common-Mode Rejection Ratio



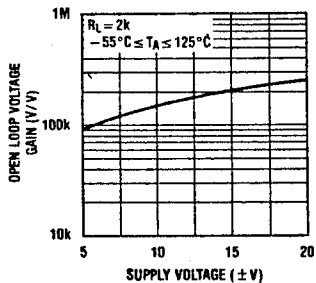
Power Supply Rejection Ratio



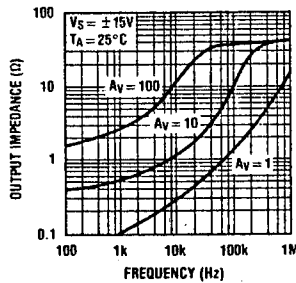
Equivalent Input Noise Voltage



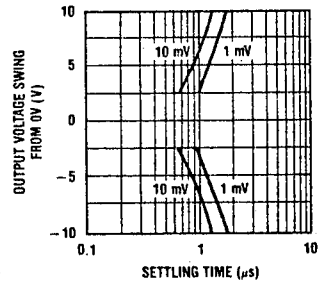
Open Loop Voltage Gain



Output Impedance



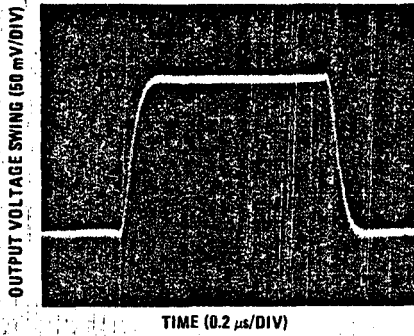
Inverter Settling Time



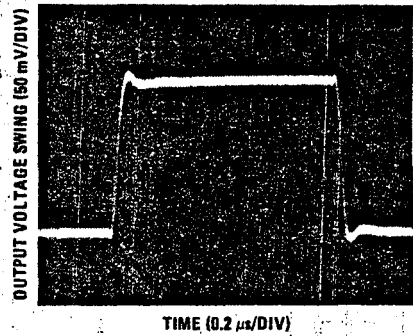
LF147/LF347

Pulse Response $R_L = 2\text{ k}\Omega$, $C_L = 10\text{ pF}$

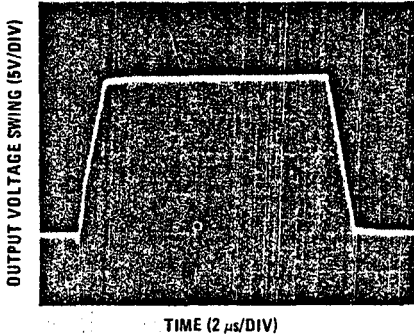
Small Signal Inverting



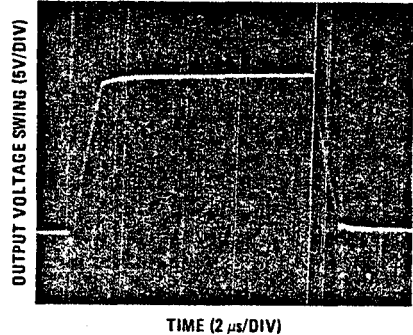
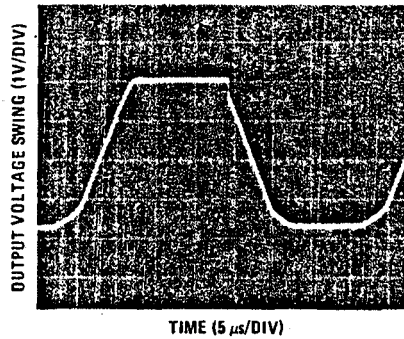
Small Signal Non-Inverting



Large Signal Inverting



Large Signal Non-Inverting

Current Limit ($R_L = 100\Omega$)

Application Hints

The LF147 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be

allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to

Application Hints (Continued)

high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on $\pm 4.5\text{V}$ power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF147 will drive a $2\text{ k}\Omega$ load resistance to $\pm 10\text{V}$ over the full temperature range. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed

backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

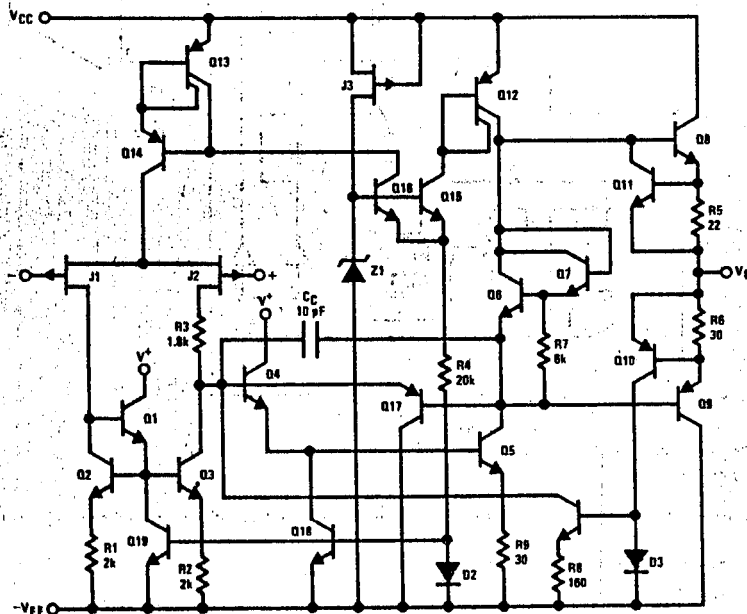
Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain, and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

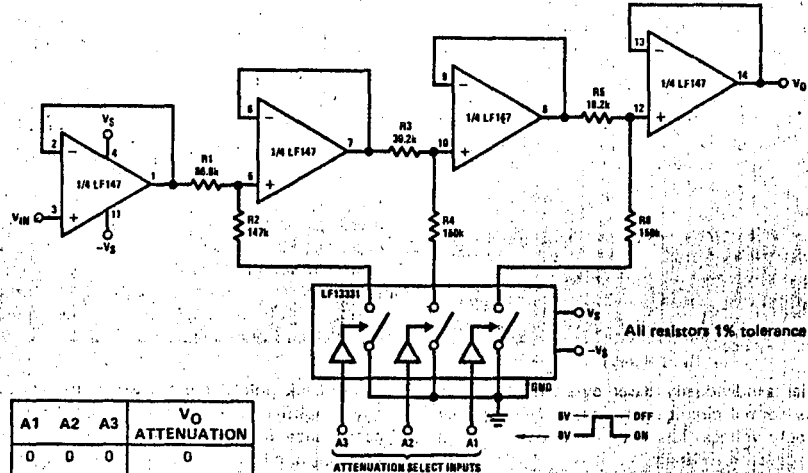
3

Detailed Schematic



Typical Applications

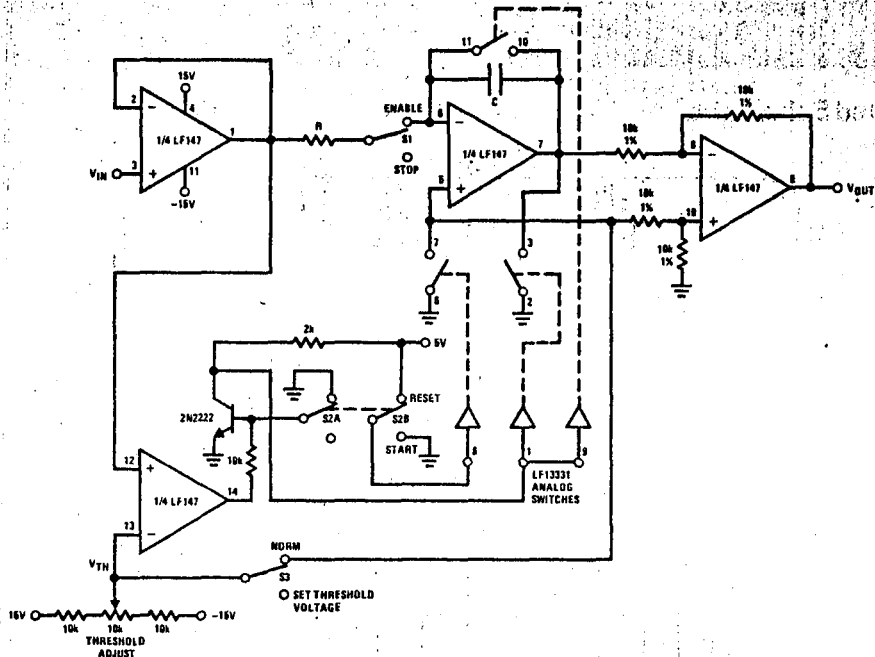
Digitally Selectable Precision Attenuator



A1	A2	A3	VO ATTENUATION
0	0	0	0
0	0	1	-1 dB
0	1	0	-2 dB
0	1	1	-3 dB
1	0	0	-4 dB
1	0	1	-5 dB
1	1	0	-6 dB
1	1	1	-7 dB

- Accuracy of better than 0.4% with standard 1% value resistors
- No offset adjustment necessary
- Expandable to any number of stages
- Very high input impedance

Long Time Integrator with Reset, Hold and Starting Threshold Adjustment



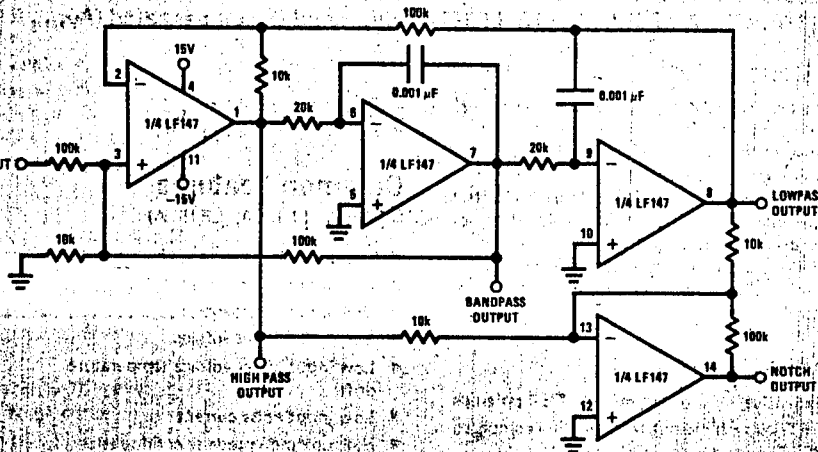
- VOUT starts from zero and is equal to the integral of the input voltage with respect to the threshold voltage:

$$V_{OUT} = \frac{1}{RC} \int_0^t (V_{IN} - V_{TH}) dt$$

- Output starts when $V_{IN} \geq V_{TH}$
- Switch S1 permits stopping and holding any output value
- Switch S2 resets system to zero

Typical Applications (Continued)

Universal State Variable Filter



For circuit shown:

$f_0 = 3 \text{ kHz}$, $f_{\text{NOTCH}} = 9.5 \text{ kHz}$

$Q = 3.4$

Passband gain:

Highpass - 0.1

Bandpass - 1

Lowpass - 1

Notch - 10

- $f_0 \times Q \leq 200 \text{ kHz}$
- 10V peak sinusoidal output swing without slew limiting to 200 kHz
- See LM148 data sheet for design equations

CD40106BM/CD40106BC



CD40106BM/CD40106BC Hex Schmitt Trigger

General Description

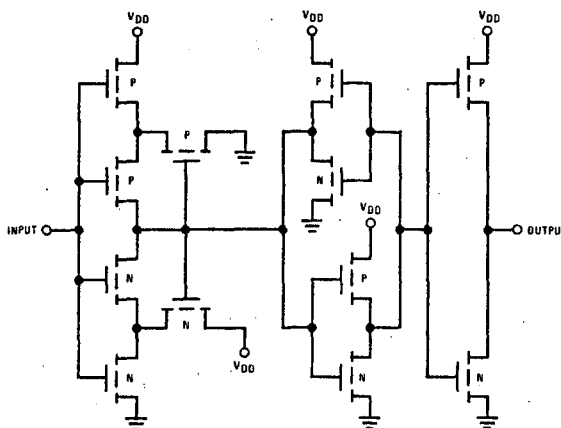
The CD40106B Hex Schmitt Trigger is a monolithic complementary MOS (CMOS) integrated circuit constructed with N and P-channel enhancement transistors. The positive and negative-going threshold voltages, V_{T+} and V_{T-} , show low variation with respect to temperature (typ 0.0005V/°C at $V_{DD} = 10V$), and hysteresis, $V_{T+} - V_{T-} \geq 0.2 V_{DD}$ is guaranteed.

All inputs are protected from damage due to static discharge by diode clamps to V_{DD} and V_{SS} .

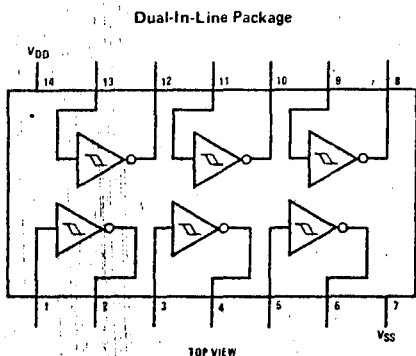
Features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.7 V_{DD} (typ)
- Low power fan out of 2
- TTL compatibility driving 74L or 1 driving 74LS
- Hysteresis 0.4 V_{DD} (typ)
- Equivalent to MM54C14/MM74C14 0.2 V_{DD} guaranteed
- Equivalent to MC14584B

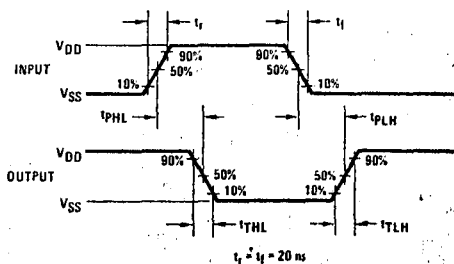
Schematic Diagram



Connection Diagram



Switching Time Waveforms



Absolute Maximum Ratings

(Note 2)

Supply Voltage	-0.5 to +18 V _{DC}
Input Voltage	-0.5 to V _{DD} +0.5 V _{DC}
Temperature Range	-65°C to +150°C
Power Dissipation	500 mW
Storage Temperature (Soldering, 10 seconds)	300°C

Recommended Operating Conditions

(Note 2)

V _{DD} dc Supply Voltage	3 to 15 V _{DC}
V _{IN} Input Voltage	0 to V _{DD} V _{DC}
T _A Operating Temperature Range	-55°C to +125°C
CD40106BM	-40°C to +85°C
CD40106BC	

Electrical Characteristics CD40106BM (Note 2)

PARAMETER	CONDITIONS	-55°C		25°C			125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
Quiescent Device Current	V _{DD} = 5V		1.0			1.0		30	μA
	V _{DD} = 10V		2.0			2.0		60	μA
	V _{DD} = 15V		4.0			4.0		120	μA
Low Level Output Voltage	I _O < 1μA								
	V _{DD} = 5V		0.05			0.05		0.05	V
	V _{DD} = 10V		0.05			0.05		0.05	V
High Level Output Voltage	I _O < 1μA								
	V _{DD} = 5V	4.95		4.95	5		4.95		V
	V _{DD} = 10V	9.95		9.95	10		9.95		V
Negative-Going Threshold Voltage	V _{DD} = 5V, V _O = 4.5V	0.7	2.0	0.7	1.4	2.0	0.7	2.0	V
	V _{DD} = 10V, V _O = 9V	1.4	4.0	1.4	3.2	4.0	1.4	4.0	V
	V _{DD} = 15V, V _O = 13.5V	2.1	6.0	2.1	5.0	6.0	2.1	6.0	V
Positive-Going Threshold Voltage	V _{DD} = 5V, V _O = 0.5V	3.0	4.3	3.0	3.6	4.3	3.0	4.3	V
	V _{DD} = 10V, V _O = 1V	6.0	8.6	6.0	6.8	8.6	6.0	8.6	V
	V _{DD} = 15V, V _O = 1.5V	9.0	12.9	9.0	10.0	12.9	9.0	12.9	V
Hysteresis (V _{T+} - V _{T-})	V _{DD} = 5V	1.0	3.6	1.0	2.2	3.6	1.0	3.6	V
	V _{DD} = 10V	2.0	7.2	2.0	3.6	7.2	2.0	7.2	V
	V _{DD} = 15V	3.0	10.8	3.0	5.0	10.8	3.0	10.8	V
Low Level Output Current	V _{DD} = 5V, V _O = 0.4V	0.64		0.51	0.88		0.36		mA
	V _{DD} = 10V, V _O = 0.5V	1.6		1.3	2.25		0.9		mA
	V _{DD} = 15V, V _O = 1.5V	4.2		3.4	8.8		2.4		mA
High Level Output Current	V _{DD} = 5V, V _O = 4.6V	-0.64		-0.51	-0.88		-0.36		mA
	V _{DD} = 10V, V _O = 9.5V	1.6		-1.3	2.25		-0.9		mA
	V _{DD} = 15V, V _O = 13.5V	4.2		-3.4	8.8		-2.4		mA
Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.10		10 ⁻⁵	-0.10		-1.0	μA
	V _{DD} = 15V, V _{IN} = 15V		0.10		10 ⁻⁵	0.10		1.0	μA

1 "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides the limits for actual device operation.

2 V_{SS} = 0V unless otherwise specified.

3 C_{PD} determines the no load ac power consumption of any CMOS device. For complete explanation, see 54C/74C Family Characteristics section note--AN-90.



CD40106BM/CD40106BC

DC Electrical Characteristics CD40106BC (Note 2)

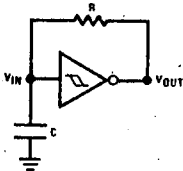
PARAMETER	CONDITIONS	-40°C		25°C			+85°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		4.0			4.0		30	μA
	V _{DD} = 10V		8.0			8.0		60	
	V _{DD} = 15V		16.0			16.0		120	
V _{OL} Low Level Output Voltage	I _O < 1μA								V
	V _{DD} = 5V		0.05			0.05		0.05	
	V _{DD} = 10V		0.05			0.05		0.05	
V _{OH} High Level Output Voltage	I _O < 1μA								V
	V _{DD} = 5V	4.95		4.95	5		4.95		
	V _{DD} = 10V	9.95		9.95	10		9.95		
V _{T-} Negative-Going Threshold Voltage	V _{DD} = 5V, V _O = 4.5V	0.7	2.0	0.7	1.4	2.0	0.7	2.0	V
	V _{DD} = 10V, V _O = 9V	1.4	4.0	1.4	3.2	4.0	1.4	4.0	
	V _{DD} = 15V, V _O = 13.5V	2.1	6.0	2.1	5.0	6.0	2.1	6.0	
V _{T+} Positive-Going Threshold Voltage	V _{DD} = 5V, V _O = 0.5V	3.0	4.3	3.0	3.6	4.3	3.0	4.3	V
	V _{DD} = 10V, V _O = 1V	6.0	8.6	6.0	6.8	8.6	6.0	8.6	
	V _{DD} = 15V, V _O = 1.5V	9.0	12.9	9.0	10.0	12.9	9.0	12.9	
V _H Hysteresis (V _{T+} - V _{T-})	V _{DD} = 5V	1.0	3.6	1.0	2.2	3.6	1.0	3.6	V
	V _{DD} = 10V	2.0	7.2	2.0	3.6	7.2	2.0	7.2	
	V _{DD} = 15V	3.0	10.8	3.0	5.0	10.8	3.0	10.8	
I _{OL} Low Level Output Current	V _{DD} = 5V, V _O = 0.4V	0.52		0.44	0.88		0.36		mA
	V _{DD} = 10V, V _O = 0.5V	1.3		1.1	2.25		0.9		
	V _{DD} = 15V, V _O = 1.5V	3.6		3.0	8.8		2.4		
I _{OH} High Level Output Current	V _{DD} = 5V, V _O = 4.6V	-0.52		-0.44	-0.88		-0.36		mA
	V _{DD} = 10V, V _O = 9.5V	-1.3		-1.1	-2.25		-0.9		
	V _{DD} = 15V, V _O = 13.5V	-3.6		-3.0	-8.8		-2.4		
I _{IN} Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.30		-10 ⁻⁵	-0.30		-1.0	μA
	V _{DD} = 15V, V _{IN} = 15V		0.30		10 ⁻⁵	0.30		1.0	

AC Electrical Characteristics T_A = 25°C, C_L = 50 pF, R_L = 200k, t_r and t_f = 20 ns, unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t _{PHL} or t _{PLH} Propagation Delay Time From Input To Output	V _{DD} = 5V		220	400	ns
	V _{DD} = 10V		80	200	
	V _{DD} = 15V		70	160	
t _{THL} or t _{TLH} Transition Time	V _{DD} = 5V		100	200	ns
	V _{DD} = 10V		50	100	
	V _{DD} = 15V		40	80	
C _{IN} Average Input Capacitance	Any Input		5	7.5	pF
C _{PD} Power Dissipation Capacitance	Any Gate (Note 3)		14		pF

Typical Applications

Low Power Oscillator

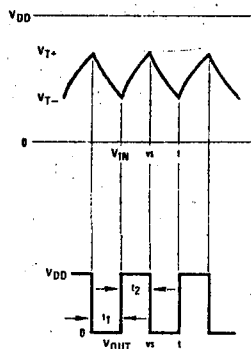


$$t_1 \approx RC \ln \frac{V_{T+}}{V_{T-}}$$

$$t_2 \approx RC \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}}$$

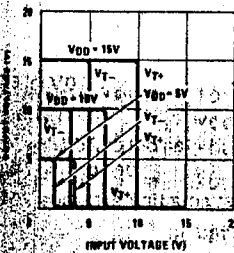
$$f \approx \frac{1}{RC \ln \frac{V_{T+}(V_{DD} - V_{T-})}{V_{T-}(V_{DD} - V_{T+})}}$$

Note: The equations assume $t_1 + t_2 \gg t_{pHL} + t_{pLH}$

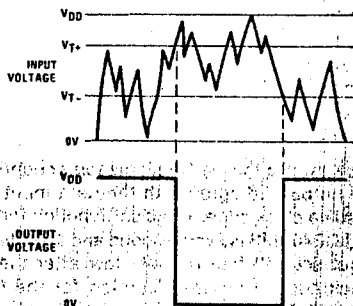
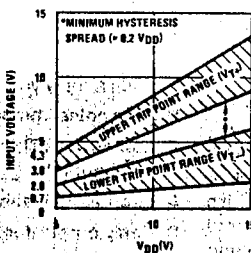


Typical Performance Characteristics

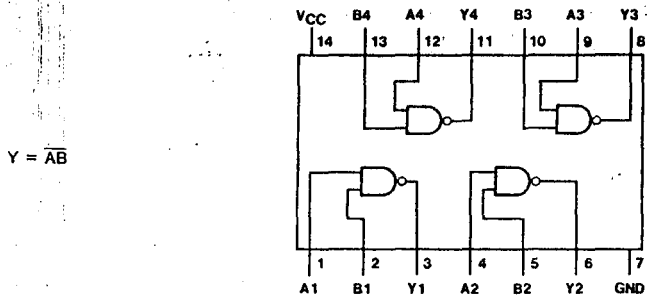
Typical Transfer Characteristics



Guaranteed Trip Point Range



26 Quad 2-Input High-Voltage NAND Gates

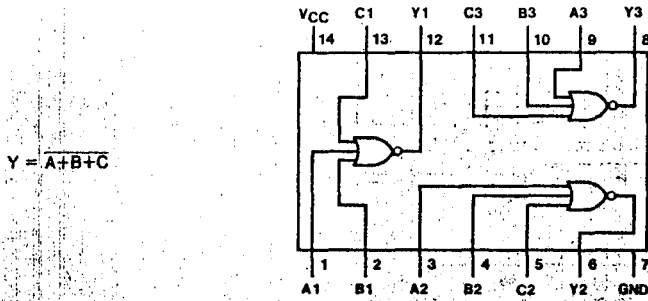


$Y = \overline{AB}$

- | | |
|--------------|------------|
| 5426 (J) | 7426 (N) |
| 54L26 (J) | 74L26 (N) |
| 54LS26 (J,W) | 74LS26 (N) |

See page 5-10

27 Triple 3-Input NOR Gates

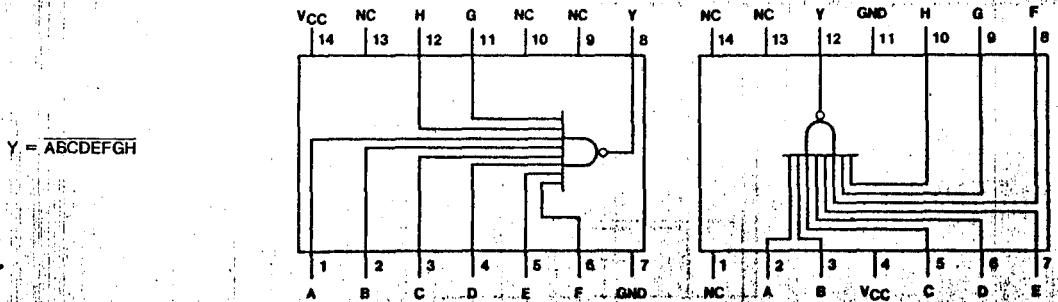


$Y = \overline{A+B+C}$

- | | |
|--------------|------------|
| 5427 (J,W) | 7427 (N) |
| 54LS27 (J,W) | 74LS27 (N) |

See page 5-8

30 8-Input NAND Gates



$Y = \overline{ABCDEFGH}$

- | | | |
|--------------|------------|-----------|
| 5430 (J) | 7430 (N) | 5430 (W) |
| 54H30 (J) | 74H30 (N) | 54L30 (W) |
| 54L30 (J) | 74L30 (N) | |
| 54LS30 (J,W) | 74LS30 (N) | |
| 54S30 (J,W) | 74S30 (N) | |

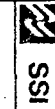
See page 5-4

Electrical Characteristics over recommended operating free-air temperature range (unless otherwise noted).

Parameter		Conditions		DM54/74			DM54/74			DM54/74			DM54/74			Units
				02, 25, 27			L02			LS02, LS27			S02			
				Min	Typ (1)	Max	Min	Typ (1)	Max	Min	Typ (1)	Max	Min	Typ (1)	Max	
V _{IH}	High Level Input Voltage														V	
V _{IL}	Low Level Input Voltage														V	
V _I	Input Clamp Voltage	V _{CC} = Min	I _I = -12 mA												V	
			I _I = -18 mA												V	
I _{OH}	High Level Output Current		25, 27												μA	
			Others												μA	
V _{OH}	High Level Output Voltage	V _{CC} = Min V _{IL} = Max I _{OH} = Max	LS27												V	
			Others	DM54	2.4	3.4		2.4	3.3		2.5	3.4		2.5	3.4	V
				DM74	2.4	3.4		2.4	3.2		2.7	3.4		2.7	3.4	V
I _{OL}	Low Level Output Current		DM54											mA		
			DM74											mA		
V _{OL}	Low Level Output Voltage	V _{CC} = Min V _{IH} = 2 V	I _{OL} = Max	DM54	0.2	0.4		0.15	0.3		0.25	0.4		0.5	V	
				DM74		0.2	0.4		0.2	0.4		0.35	0.5		0.5	V
			I _{OL} = 4 mA	DM74											0.4	V
I _I	Input Current at Maximum Input Voltage	V _{CC} = Max	V _I = 5.5 V											1	mA	
			V _I = 7 V												0.1	mA
I _{IH}	High Level Input Current	V _{CC} = Max	Data Inputs												μA	
			Strobe of 25												μA	
			All Inputs												50	μA
I _{IL}	Low Level Input Current	V _{CC} = Max	All Inputs												mA	
			Data Inputs												mA	
			Strobe of 25												mA	
			All Inputs												-2	mA
I _{OS}	Short Circuit Output Current	V _{CC} = Max (2)	DM54	-20		-55	-3		-15	-20		-100	-40		-100	mA
			DM74	-18		-55	-3		-15	-20		-100	-40		-100	mA
I _{CC}	Supply Current	V _{CC} = Max	See Table													

Note 1: All typical values are at V_{CC} = 5 V, T_A = 25°C

Note 2: Not more than one output should be shorted at a time, and for DM54LS/DM74LS and DM54S/74S, duration of short circuit should not exceed one second.



SSI

DM54/DM7402, 25, 27 NOR Gates

58

Switching Characteristics at $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$

Device	Conditions	t _{PLH} (ns) Propagation Delay Time, Low-To-High Output			t _{PHL} (ns) Propagation Delay Time, High-To-Low Output		
		Min	Typ	Max	Min	Typ	Max
02	C _L = 15 pF, R _L = 400 Ω		12	22		8	15
25			13	22		8	15
27			7	11		10	15
L02	C _L = 50 pF, R _L = 4 kΩ		31	60		35	60
LS02	C _L = 15 pF, R _L = 2 kΩ	3	9	13	3	5	10
	C _L = 50 pF, R _L = 2 kΩ	4	12	18	4	8	15
LS27	C _L = 15 pF, R _L = 2 kΩ	3	9	13	3	5	10
	C _L = 50 pF, R _L = 2 kΩ	5	12	18	4	8	15
S02	C _L = 15 pF, R _L = 280 Ω	1.5	3.5	5.5	1.5	3.5	5.5
	C _L = 50 pF, R _L = 280 Ω	2	5	7.5	2	5	7.5

Supply Currents

Device	I _{CC} (mA) Total With Outputs High		I _{CCL} (mA) Total With Outputs Low	
	Typ	Max	Typ	Max
02	8	16	14	27
25	8	16	10	19
27	10	16	16	26
L02	0.8	1.8	1.4	2.6
LS02	1.6	3.2	2.8	5.4
LS27	2.0	4	3.4	6.8
S02	17	29	26	45



SSI

DM54/DM7402, 25, 27 NOR Gates

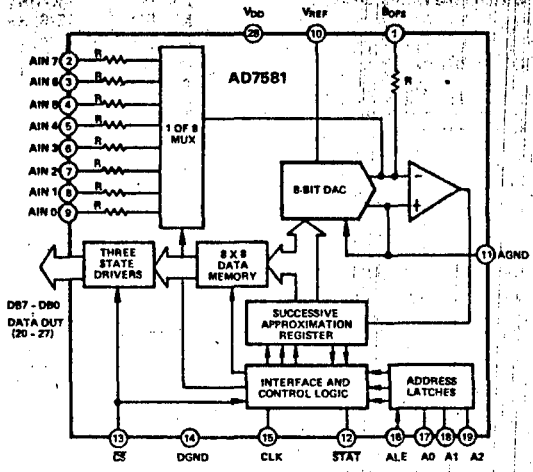


CMOS μ P-Compatible 8-Bit 8-Channel DAS

AD7581

- FEATURES**
- 8-Bit Resolution
 - On-Chip 8 X 8 Dual-Port Memory
 - No Missed Codes Over Full Temperature Range
 - Interfaces Directly to Z80/8085/6800
 - CMOS, TTL Compatible Digital Inputs
 - Three-State Data Drivers
 - Ratiometric Capability
 - Interleaved DMA Operation
 - Fast Conversion
 - A/D Process Totally Transparent to μ P
 - Low Cost

AD7581 FUNCTIONAL BLOCK DIAGRAM

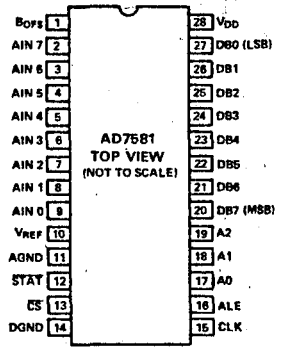


GENERAL DESCRIPTION

The AD7581 is a microprocessor compatible 8 bit, 8 channel, memory buffered, data-acquisition system on a monolithic CMOS chip. It consists of an 8 bit successive approximation A/D converter, an 8 channel multiplexer, 8 X 8 dual-port RAM, three-state DATA drivers (for interface), address latches and microprocessor compatible control logic. The device interfaces directly to 8080, 8085, Z80, 6800 and other microprocessor systems.

The successive approximation conversion takes place on a continuous, channel sequencing, basis using microprocessor control signals for the clock. Data is automatically transferred to its proper location in the 8 X 8 dual-port RAM at the end of each conversion. When under microprocessor control, a READ DATA operation is allowed at any time for any channel since on-chip logic provides interleaved DMA. The facility to latch the address inputs (A₀ - A₂) with ALE enables the AD7581 to interface with μ P systems which feature either shared or separate address and data buses.

PIN CONFIGURATION



ORDERING INFORMATION

Differential Nonlinearity	Temperature Range and Package	
	Plastic	Ceramic
± 1 7/8LSB	AD7581JN	AD7581AD
± 7 8LSB	AD7581KN	AD7581BD
± 3 4LSB	AD7581LN	AD7581CD

PACKAGE IDENTIFICATION¹

- Suffix "N" - Plastic DIP (N28A)
- Suffix "D" - Ceramic DIP (D28B)

¹ See Section 19 for package outline information.

DC SPECIFICATIONS (V_{DD} = +5V, V_{REF} = -10V, Unipolar Operation, unless otherwise stated)

Parameter	Version ¹	Typical at +25°C	Limit Over Temperature	Units	Conditions/Comments
ACCURACY					
Resolution	All	8	8	Bits	
Relative Accuracy	JN, AD	±1 7/8	±1 7/8 max	LSB	
	KN, BD	±3/4	±3/4 max	LSB	
	LN, CD	±1/2	±1/2 max	LSB	
Differential Nonlinearity	JN, AD	±1 7/8	±1 7/8 max	LSB	
	KN, BD	±7/8	±7/8 max	LSB	
	LN, CD	±3/4	±3/4 max	LSB	
Offset Error ²	JN, AD	200	200 max	mV	Adjustable to zero, see Figure 7a.
	KN, BD	80	80 max	mV	
	LN, CD	50	50 max	mV	
Gain Error					
Worst Channel	JN, AD	±3	±6 max	LSB	Adjustable to zero, see Figure 7a.
	KN, BD	±2	±4 max	LSB	Gain Error is Measured After Offset Calibration. Max Full Scale Change for Any Channel from +25°C to T _{min} or T _{max} is ±2LSB.
	LN, CD	±1	±2 max	LSB	
Gain Match Between Channels	JN, AD	2	3 max	LSB	Adjustable to zero, see Figure 7a.
	KN, BD	1 1/2	2 max	LSB	
	LN, CD	1	1 max	LSB	
B _{OFS} Gain Error	All	-2 1/2	—	LSB	
ANALOG INPUTS					
Input Resistance					
At V _{REF} (pin 10)	All	10/20/30	10/20/30	kΩ min/typ/max	
At B _{OFS} (pin 1) ³	All	10/20/30	10/20/30	kΩ min/typ/max	
At Any Analog Input (pins 2-9)	All	10/20/30	10/20/30	kΩ min/typ/max	
V _{REF} (For Specified Performance)	All	-10	-10	V	±5%
V _{REF} Range ⁴	All	-5 to -15	-5 to -15	V	
Nominal Analog Input Range					
Unipolar Mode	All	0 to +V _{REF}	0 to +V _{REF}	V	See Figure 7 and 8.
Bipolar Mode	All	0 to -V _{REF}	0 to -V _{REF}	V	See Figure 9
		-V _{B_{OFS}} < V _{AIN} < V _{REF} - V _{B_{OFS}}			
DIGITAL INPUTS					
CS (pin 13), ALE (pin 16), A ₀ - A ₂ (pins 17-19), CLK (pin 15)					
V _{NH} Logic HIGH Input Voltage	All	+2.2	+2.4 min	V	
V _{NL} Logic LOW Input Voltage	All	+1.2	+0.8 max	V	
I _N Input Current	All	0.01	1 max	μA	V _{IN} = 0V, V _{DD}
C _{IN} Input Capacitance ⁵	All	4	5 max	pF	
DIGITAL OUTPUTS					
STAT (pin 12), DB ₇ to DB ₀ (pins 20-27)					
V _{OH} Output HIGH Voltage	All	+4.8	+4.5 min	V	I _{SOURCE} = 40μA
V _{OL} Output LOW Voltage	All	+0.4	+0.6 max	V	I _{SINK} = 1.6mA
I _{LKG} DB ₇ to DB ₀ Floating State Leakage	All	0.3	10 max	μA	
Floating State Output Capacitance (DB ₇ - DB ₀)	All	5	10 max	pF	V _{OUT} = 0V to V _{DD}
Output Code	All				Unipolar Binary Figure 7 Complementary Binary Figure 8 Offset Binary Figure 9
POWER REQUIREMENTS					
V _{DD}	All	+5	+5	V	
I _{DD} - Static	All	3 typ	5 max	mA	
I _{DD} - Dynamic	All	3 typ	8 max	mA	f _{CLK} = 1MHz

NOTES

¹ Temperature range as follows: JN, KN, LN (0 to +70°C), AD, BD, CD (-25°C to +85°C).

² Typical offset temperature coefficient is ±150μV/°C.

³ B_{OFS}/R_{AIN} (0-7) mismatch causes transfer function rotation about positive full scale. The effect is an offset and a gain term when using the circuits of Figure 8a, and Figure 9a.

⁴ Typical value, not guaranteed or subject to test.

⁵ Guaranteed but not tested.

⁶ Typical change in B_{OFS} gain from +25°C to T_{min} or T_{max} is ±2LSBs.

Specifications subject to change without notice.

AC SPECIFICATIONS(V_{DD} = +5V, V_{REF} = -10V, Unipolar Operation, unless otherwise noted)

Symbol	Specification	Typical at +25°C	Limit Over Temperature	Units	Conditions
t _{ALE}	ALE pulse width	50	80 min	ns	See "Switching Terminology"
t _{ALS}	Address valid to latch set-up time	45	70 min	ns	
t _{ALH}	Address valid to latch hold time	10	20 min	ns	
t _{ACS}	Address latch to \overline{CS} set-up time	10	20 min	ns	C _L = 100pF
t _{ACC}	\overline{CS} to output propagation delay	200	250 max	ns	
t _{CW}	\overline{CS} pulse width	250	280 min	ns	
t _{CF}	\overline{CS} to output float propagation delay	50	80 max	ns	
t _{CLZ}	\overline{CS} to low impedance bus	100	150 max	ns	
f _{CLK}	Clock frequency for stated accuracy	1600	1200 max ¹	kHz	

¹ Guaranteed conversion time of 66.6 μ s/channel with 1200kHz clock.**ABSOLUTE MAXIMUM RATINGS**

V _{DD} to AGND	+7V
V _{DD} to DGND	+7V
AGND to DGND	-0.3V, V _{DD}
Digital Input Voltage to DGND (pins 13, 16-19)	-0.3V, +15V
Digital Output Voltage to DGND (pins 12, 20-27)	-0.3V, V _{DD}
CLK (pin 15) input voltage to DGND	-0.3V, +15V
V _{REF} (pin 10) to AGND	±25V
V _{BOFS} (pin 1) to AGND	±17V
A _{IN} (0-7) (pin 9-2)	±17V
Operating Temperature Range	
JN, KN, LN	0 to +70°C

AD, BD, CD	-25°C to +85°C
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 secs)	+300°C

Power Dissipation (Package)

Plastic (Suffix N)	
to +50°C	1200mW
Derate above +50°C by	12mW/°C
Ceramic (Suffix D)	
to +50°C	1000mW
Derate above +50°C by	10mW/°C

CAUTION:

ESD (Electro-Static-Discharge) sensitive device. The digital control inputs are zener protected; however, permanent damage may occur on unconnected devices subject to high energy electrostatic fields. Unused devices must be stored in conductive foam or shunts. The foam should be discharged to the destination socket before devices are removed.



10

GENERAL CIRCUIT INFORMATION

BASIC CIRCUIT DESCRIPTION

The AD7581 accepts eight analog inputs and sequentially converts each input into an eight-bit binary word using the successive approximation technique. The conversion results are stored in an 8 X 8 bit dual-port RAM. The device runs either directly from the microprocessor clock (in 6800 type systems) or from some suitable signal (e.g. ALE in 8085 type systems). Most applications require only a -10V reference and a +5V supply. Start-up logic is included on the device to establish the correct sequences on power-up. A maximum of 800 clock pulses are required for this period. Figure 1 shows the AD7581 functional diagram.

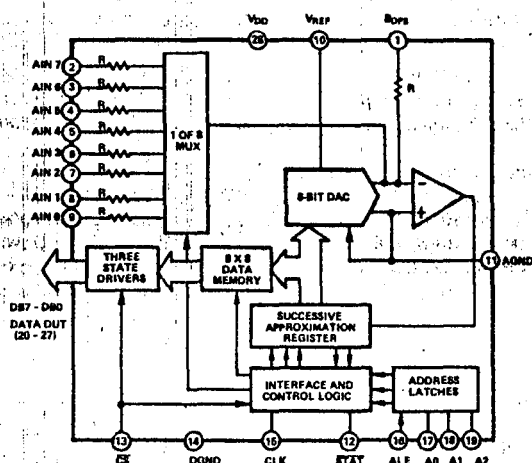


Figure 1. AD7581 Functional Diagram

Conversion of a single channel requires 80 input clock periods and a complete scan through all channels requires 640 input clock periods. When a channel conversion is complete, the successive approximation register contents are loaded into the proper channel location of the 8 X 8 RAM. At this time a status signal output, STAT (pin 12), gives a short negative going pulse (8 clock periods). This negative going STAT pulse is extended to 72 clock periods when channel 1 conversion is complete. An external pulse-width detector connected to the status pin can be used to derive conversion-related timing signals for microprocessor interrupts (see Channel Identification opposite page). Simultaneous with STAT going low, the MUX address is decremented. Eight clock periods later the next conversion is started.

Automatic interleaved DMA is provided by on-chip logic to ensure that memory updates take place at instants when the microprocessor is not addressing memory. Memory locations are addressed by A_0 , A_1 and A_2 . This address may be latched by ALE for systems which feature a multiplexed address/data bus or alternatively, for systems which have separate address and data buses, the address latches can be made transparent by tying ALE (pin 16) HIGH. \overline{CS} (pin 13) activates three-state buffers to place addressed data on the DB_0 - DB_7 data output pins.

A/D CIRCUIT DETAILS

In the successive approximation technique, successive bits, starting with the most significant bit (DB_7), are applied to the input of the D/A converter. The DAC output is then compared to the unknown analog input voltage, $A_{IN}(n)$, using a comparator. If the DAC output is greater than $A_{IN}(n)$, the data latch for the trial bit is reset to zero, and the next smaller data bit is tried. If the DAC output is less than $A_{IN}(n)$, the trial data bit stays in the "1" state, and the next smaller data bit is tried. Each successive bit is tried, compared to $A_{IN}(n)$, and set or reset in this manner until the least significant bit (DB_0) decision is made. The successive approximation register now contains a valid digital representation of $A_{IN}(n)$. $A_{IN}(n)$ is assumed to be stable during conversion.

The current weighting D/A converter is a precision multiplying DAC. Figure 2 shows the functional diagram of the DAC as used in the AD7581. It consists of a precision Silicon Chromium thin film R/2R ladder network and 8 N-channel MOSFET switches operated in single-pole-double-throw.

The currents in each $2R$ shunt arm are binary weighted i.e., the current in the MSB arm is V_{REF} divided by $2R$, in the second arm is V_{REF} divided by $4R$, etc. Depending on the D/A logic input (A/D output) from the successive approximation register, the current in the individual shunt arms is steered either to A_{GND} or to the comparator summing point.

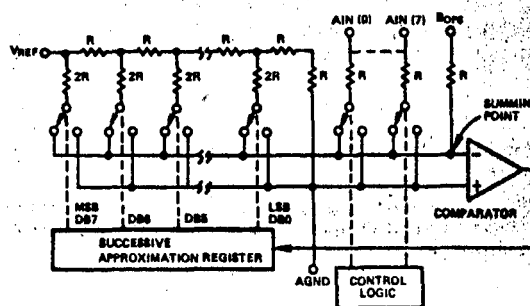


Figure 2. D/A Converter as Used in AD7581

TIMING AND CONTROL OF THE AD7581 CHANNEL SELECTION

Table 1 shows the truth table for the address inputs. The input address is latched when ALE goes LOW. When ALE is HIGH the address input latch is transparent.

A2	A1	A0	ALE	Channel Data To Be Read
0	0	0	1	Channel 0
0	0	1	1	Channel 1
0	1	0	1	Channel 2
0	1	1	1	Channel 3
1	0	0	1	Channel 4
1	0	1	1	Channel 5
1	1	0	1	Channel 6
1	1	1	1	Channel 7

Table 1. Channel Selection Truth Table

TIMING AND CONTROL

A typical timing diagram is shown in Figure 3. When CS is HIGH, the three-state data drivers are in the high-impedance state. When CS goes LOW the data drivers switch to the low-impedance state (i.e., low impedance to DGND or to VDD). Output data is valid after time t_{ACC}.

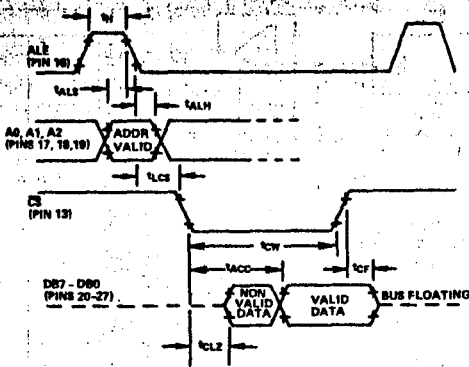


Figure 3. Timing Diagram for the AD7581

SWITCHING TERMINOLOGY

- t_H: ALE pulse width requirement.
- t_{ALH}: Address Valid to latch hold time.
- t_{ALS}: Address Valid to latch set-up time.
- t_{LCS}: Address latch to Chip Select set-up time.
- t_{CW}: Chip Select pulse width requirement.
- t_{ACC}: Chip Select to output data propagation delay.
- t_{CF}: Chip Select to output data float propagation delay.
- t_{CLZ}: Chip Select to low impedance data bus.

CHANNEL IDENTIFICATION

In some real-time applications, it may be necessary to provide an interrupt signal when a particular channel receives updated data. To achieve this, it is necessary to identify which channel is currently under conversion. The STAT output provides an

identifying signal by staying low for an additional 64 clock periods over normal (8 clock periods) when channel 0 is active. This is illustrated in Figure 4. Memory update takes place on a rising edge of a clock pulse and is completed in 200ns. This occurs 6 clock periods before STAT goes low.

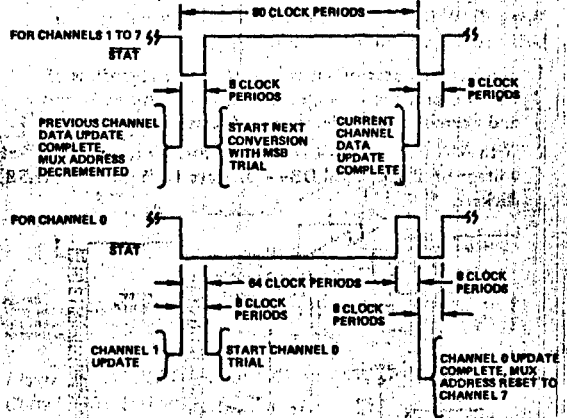


Figure 4. STAT Output for Channel Identification

One simple circuit using the STAT output is shown in Figure 5. The time constant RC is chosen such that X₂ ignores the normal STAT low pulse width (8 clock periods wide) but respond to the much wider STAT low pulse width (72 clock periods wide) occurring during channel 0 conversion. Typically for a 1μs clock period C = 0.022μF, R = 1.8kΩ.

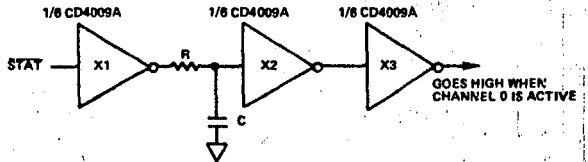


Figure 5. Hardware Channel Identification

Another possibility is to use the microprocessor to interrogate the STAT output and hence determine channel identity. A simple routine is shown in Figure 6.

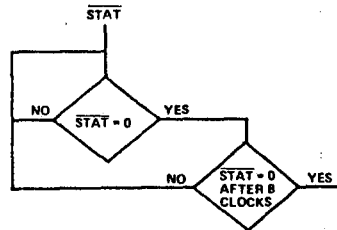


Figure 6. Software Channel Identification

OPERATING THE AD7581

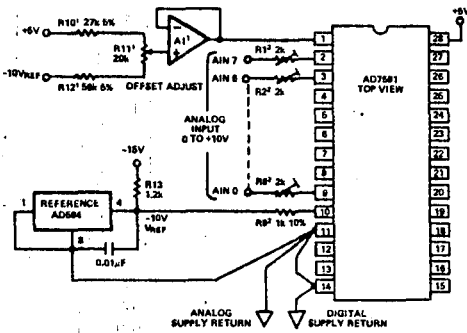
UNIPOLAR BINARY OPERATION

Figures 7a and 7b show the analog circuit connections and typical transfer characteristic for unipolar operation (0V to +10V). An AD584 is used for the -10V reference. Calibration is as follows (device clocked i.e., continuous conversions);

OFFSET:

Comparator offset is trimmed out via the bipolar offset pin B_{OFFS} . R10, R11 and R12 comprise a simple voltage tap buffered by A1 and feeding into B_{OFFS} .

1. Since comparator offset will be the same regardless of which channel is active, take A_0 , A_1 and A_2 LOW and exercise ALE to latch the address.
2. With $A_{IN} 0 = 19.5mV$ (1/2LSB) adjust R11, i.e., the offset voltage on B_{OFFS} , until $DB_7 - DB_1$ are LOW and DB_0 (LSB) flickers.



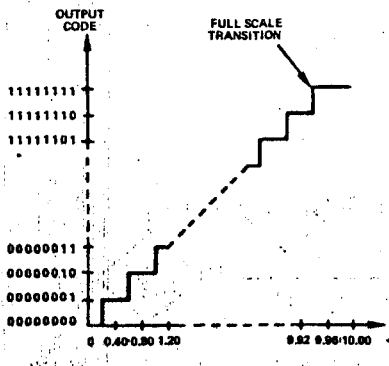
NOTES:
 *A1, R10, R11 AND R12 CAN BE OMITTED IF OFFSET TRIM IS NOT REQUIRED AND B_{OFFS} CAN BE TIED TO AGND.
 *R1, R8 AND R9 CAN BE OMITTED IF GAIN TRIM IS NOT REQUIRED.

Figure 7a. AD7581 Unipolar (0V to +10V) Operation (Output Code is Straight Binary)

GAIN (FULL SCALE)

In many applications gain adjustment is not required thus removing the need for trimmers in the analog channels. For channels requiring gain trim, the following procedure is recommended. Offset adjustment must be performed before gain adjustment.

1. Apply +9.941V (FS - 3/2LSB) to all input channels A_{IN} (0-7).



NOTE: APPROXIMATE BIT WEIGHTS ARE SHOWN FOR ILLUSTRATION. BIT WEIGHT FOR A -10V REFERENCE IS $\approx 39.1mV$.

Figure 7b. Transfer Characteristic for Unipolar Circuit of Figure 7a

2. Select required channel n via A_0 , A_1 , A_2 and latch the Address using ALE.
3. Adjust trimmer RN of selected channel until $DB_7 - DB_1$ are HIGH and the LSB (DB_0) flickers.
4. Select next channel requiring gain trim and repeat steps 2 and 3.

UNIPOLAR (COMPLEMENTARY BINARY) OPERATION

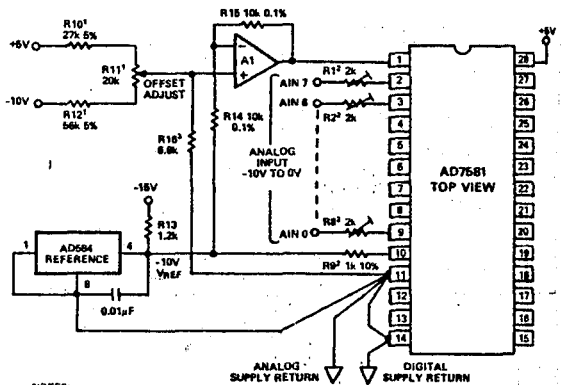
Figures 8a and 8b show the analog circuit connections and typical transfer characteristic for unipolar (complementary binary) operation.

Calibration is as follows (continuous conversions);

OFFSET:

Comparator offset is trimmed out via the bipolar offset pin B_{OFFS} . R10, R11 and R12 comprise a simple voltage tap buffered by A1 and feeding into B_{OFFS} .

1. Since comparator offset will be the same regardless of which channel is active, take A_0 , A_1 and A_2 LOW and exercise ALE to latch the address.
2. With $A_{IN} 0 = -9.98V$ (-FS + 1/2LSB) adjust R11, i.e., the offset voltage on B_{OFFS} , until $DB_7 - DB_1$ are LOW and the LSB (DB_0) flickers.



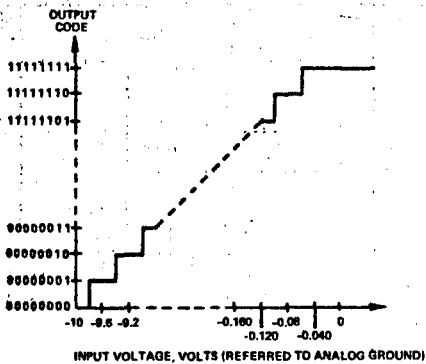
NOTES:
 *R10, R11 AND R12 CAN BE OMITTED IF OFFSET TRIM IS NOT REQUIRED.
 *R1, R8 AND R9 CAN BE OMITTED IF GAIN TRIM IS NOT REQUIRED.
 *R16/R10/R12 = 5k Ω . IF R10, R11 AND R12 ARE NOT USED, MAKE R16 = 5k Ω .

Figure 8a. AD7581 (0V to -10V) Operation (Output Code is Complementary Binary)

GAIN (FULL SCALE)

In many applications gain adjustment is not required thus removing the need for trimmers in the analog channels. For channels requiring gain trim, the following procedure is recommended. Offset adjustment must be performed before gain adjustment.

- 1) Apply -58.6mV (3/2LSB) to all input channels A_{IN} (0-7).
- 2) Select required channel n via A_0 , A_1 , A_2 and exercise ALE to latch the address.
- 3) Adjust trimmer RN of selected channel until $DB_7 - DB_1$ are HIGH and the LSB (DB_0) flickers.
- 4) Select next channel requiring gain trim and repeat step 2 and 3.



NOTE: APPROXIMATE BIT WEIGHTS ARE SHOWN FOR ILLUSTRATION. BIT WEIGHT FOR A -10V REFERENCE IS $\approx 39.1\text{mV}$.

Figure 8b. Transfer characteristic for Unipolar Circuit of Figure 8a

BIPOLAR (OFFSET BINARY) OPERATION

Figures 9a and 9b illustrate the analog circuitry and transfer characteristic for $\pm 5\text{V}$ bipolar operation. Output coding is offset binary. Comparator offset correction is again applied to the BOFS pin.

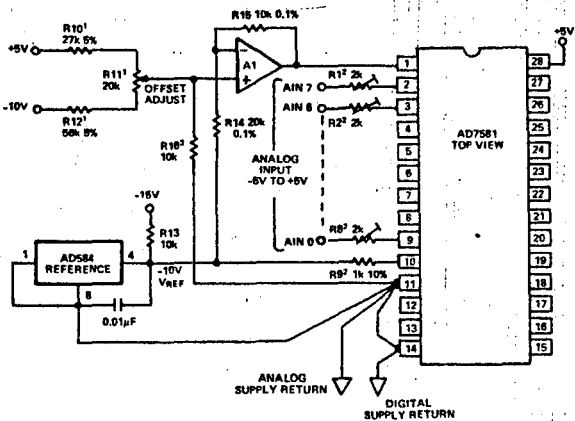
Calibration is as follows (continuous conversions);

OFFSET:

1. Apply -4.980V ($-\text{F.S.} + 1/2\text{LSB}$) to all input channels, $\text{AIN}(0-7)$.
2. Trim R11 of the comparator offset circuit until $\text{DB}_7 - \text{DB}_1$ are LOW and the LSB (DB_0) flickers.

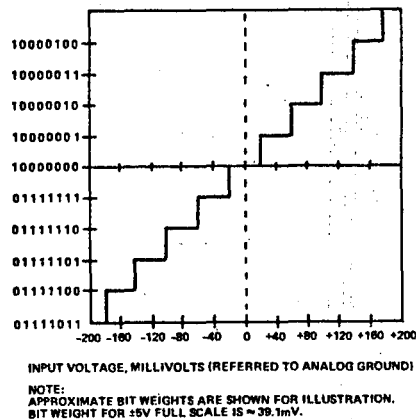
GAIN (FULL SCALE)

1. Apply $+4.941\text{V}$ ($+\text{F.S.} - 3/2\text{LSB}$) to all input channels, $\text{AIN}(0-7)$.
2. Select required channel n via $\text{A}_0, \text{A}_1, \text{A}_2$, and latch the address using ALE .
3. Adjust trimmer RN of selected channel until $\text{DB}_7 - \text{DB}_1$ are HIGH and the LSB (DB_0) flickers.
4. Select next channel requiring gain trim and repeat steps 2 and 3.
5. Apply -19.5mV to each gain-trimmed channel. If the ADC output code does not flicker between 01111111 and 10000000 repeat the calibration procedure.



NOTES:
¹ $\text{R10}, \text{R11}$ AND R12 CAN BE OMITTED IF OFFSET TRIM IS NOT REQUIRED.
² $\text{R1} - \text{R8}$ AND R9 CAN BE OMITTED IF GAIN TRIM IS NOT REQUIRED.
³ $\text{R16}/\text{R10}/\text{R12} = 8.8\Omega/\Omega$. IF $\text{R10}, \text{R11}$ AND R12 ARE NOT USED, MAKE $\text{R16} = 8.8\Omega$.

Figure 9a. AD7581 Bipolar (-5V to $+5\text{V}$) Operation (Output Code is Offset Binary)



NOTE: APPROXIMATE BIT WEIGHTS ARE SHOWN FOR ILLUSTRATION. BIT WEIGHT FOR $\pm 5\text{V}$ FULL SCALE IS $\approx 39.1\text{mV}$.

Figure 9b. Transfer Characteristic Around Major Carry for Bipolar Circuit of Figure 9a

INTERFACING THE AD7581

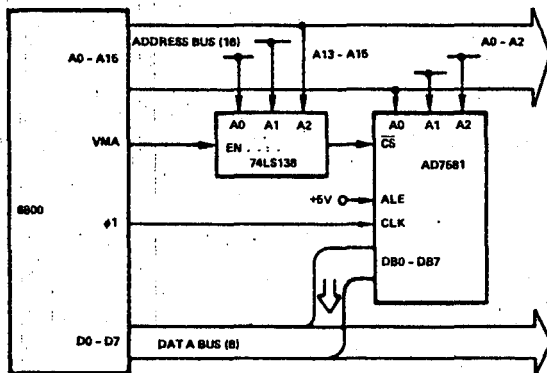


Figure 10. AD7581/6800 Interface

NOTES:

1. ANALOG AND DIGITAL GROUND

It is recommended that A_{GND} and D_{GND} be connected locally to prevent the possibility of injecting noise into the AD7581. In systems where the $A_{GND} - D_{GND}$ intertie is not local, connect back-to-back diodes (1N914 or equivalent) between the AD7581 A_{GND} and D_{GND} pins.

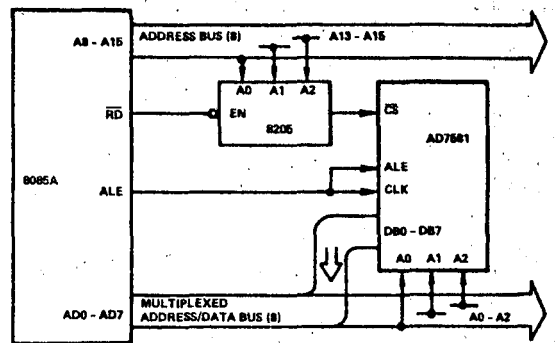


Figure 11. AD7581/8085 Interface

2. LOGIC DEGLITCHING IN μP APPLICATIONS

Unspecified states on the address bus (due to different rise and fall times on the address bus) can cause glitches at the AD7581 \overline{CS} terminal. These glitches can cause unwanted reads. The best way to avoid glitches is to gate the address decoding logic, e.g., with \overline{RD} (8080), \overline{RD} (8085) or VMA (6800).

electrical characteristics at 25°C free-air temperature

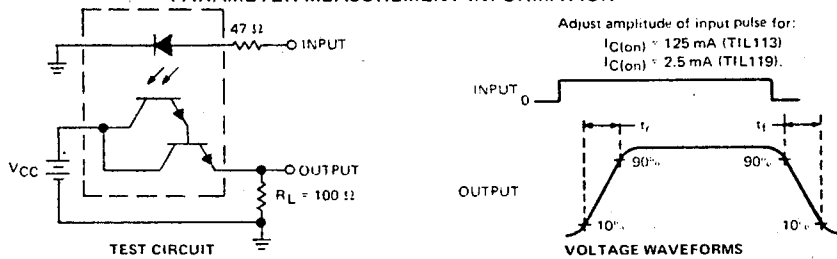
PARAMETER	TEST CONDITIONS [†]	TIL113			TIL119			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
V _{(BR)CBO} Collector-Base Breakdown Voltage	I _C = 10 μA, I _E = 0, I _F = 0	30						V
V _{(BR)CEO} Collector-Emitter Breakdown Voltage	I _C = 1 mA, I _B = 0, I _F = 0	30			30			V
V _{(BR)EBO} Emitter-Base Breakdown Voltage	I _E = 10 μA, I _C = 0, I _F = 0	7						V
V _{(BR)ECO} Emitter-Collector Breakdown Voltage	I _E = 10 μA, I _F = 0				7			V
I _{C(on)} On-State Collector Current	V _{CE} = 1 V, I _B = 0, I _F = 10 mA	30	100					mA
I _{C(off)} Off-State Collector Current	V _{CE} = 2 V, I _F = 10 mA				30	160		nA
h _{FE} Transistor Static Forward Current Transfer Ratio	V _{CE} = 1 V, I _C = 10 mA, I _F = 0		15,000					
V _F Input Diode Static Forward Voltage	I _F = 10 mA			1.5		1.5		V
V _{CE(sat)} Collector-Emitter Saturation Voltage	I _C = 125 mA, I _B = 0, I _F = 50 mA			1				V
r _{IO} Input-to-Output Internal Resistance	V _{in-out} = 1.5 kV, See Note 6	10 ¹¹			10 ¹¹			Ω
C _{IO} Input-to-Output Capacitance	V _{in-out} = 0, f = 1 MHz, See Note 6		1	1.3		1	1.3	pF

NOTE 6: These parameters are measured between both input-diode leads shorted together and all the phototransistor leads shorted together.
[†]References to the base are not applicable to the TIL119.

switching characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	TIL113			TIL119			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
t _r Rise Time	V _{CC} = 15 V, I _{C(on)} = 125 mA, R _L = 100 Ω, See Figure 1		50					μs
t _f Fall Time	V _{CC} = 10 V, I _{C(on)} = 2.5 mA, R _L = 100 Ω, See Figure 1		50					μs
t _r Rise Time	V _{CC} = 10 V, I _{C(on)} = 2.5 mA, R _L = 100 Ω, See Figure 1				50			μs
t _f Fall Time	V _{CC} = 10 V, I _{C(on)} = 2.5 mA, R _L = 100 Ω, See Figure 1				50			μs

PARAMETER MEASUREMENT INFORMATION



NOTES: a. The input waveform is supplied by a generator with the following characteristics: Z_{out} = 50 Ω, t_r = 15 ns, duty cycle = 1%, t_w = 100 μs
 b. The output waveform is monitored on an oscilloscope with the following characteristics: t_r = 12 ns, R_{in} = 1 MΩ, C_{in} = 20 pF.

FIGURE 1—SWITCHING TIMES

TYPICAL CHARACTERISTICS

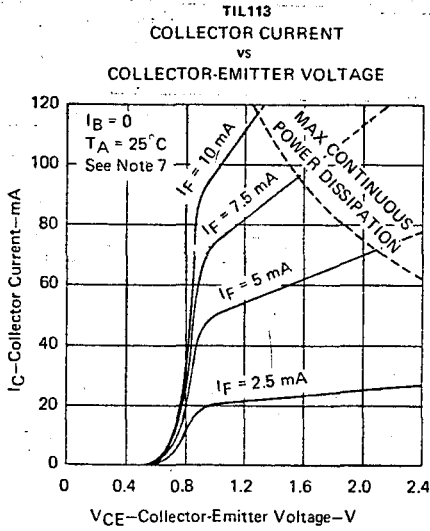


FIGURE 2

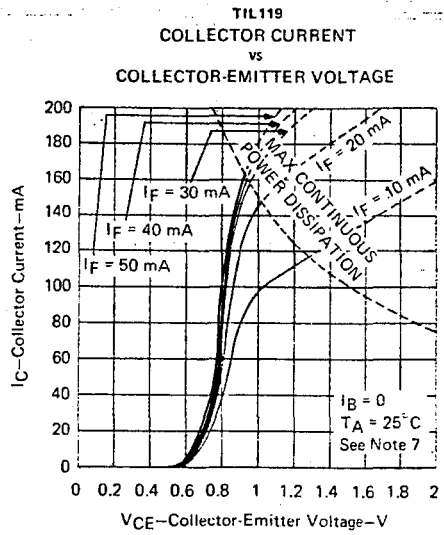


FIGURE 3

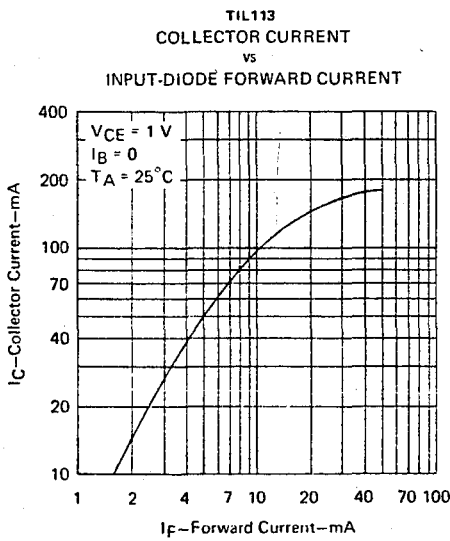


FIGURE 4

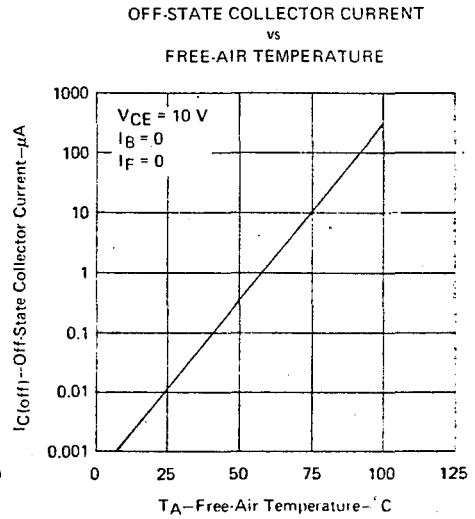


FIGURE 5

NOTE 7: Pulse operation of input diode is required for operation beyond limits shown by dotted line.

TYPICAL CHARACTERISTICS

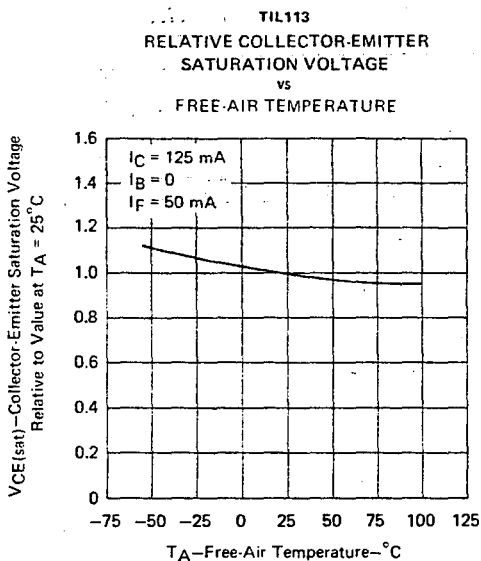


FIGURE 6

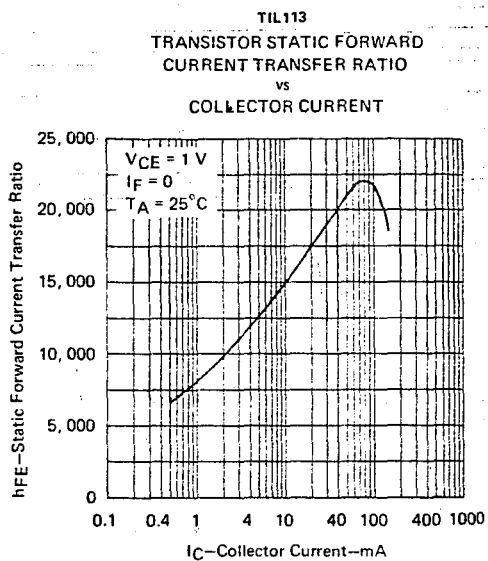


FIGURE 7

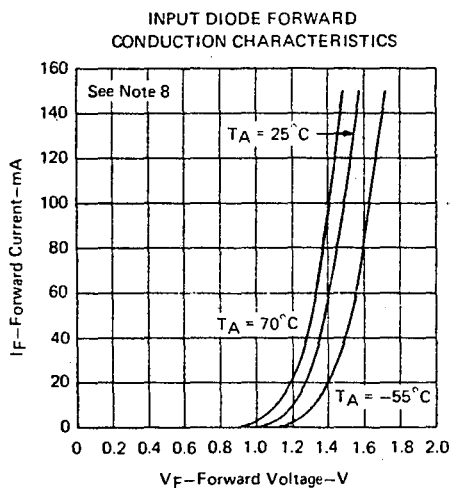
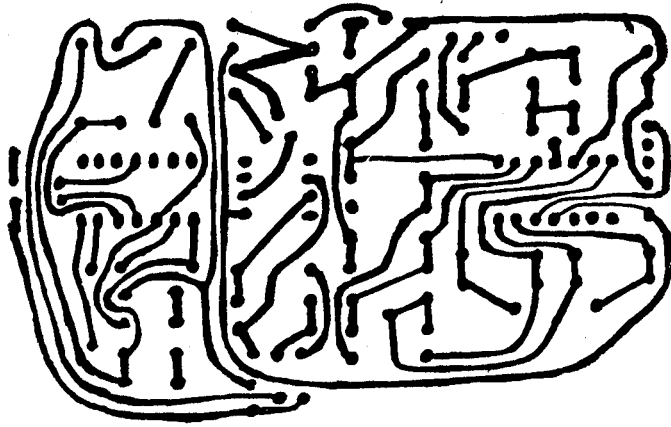


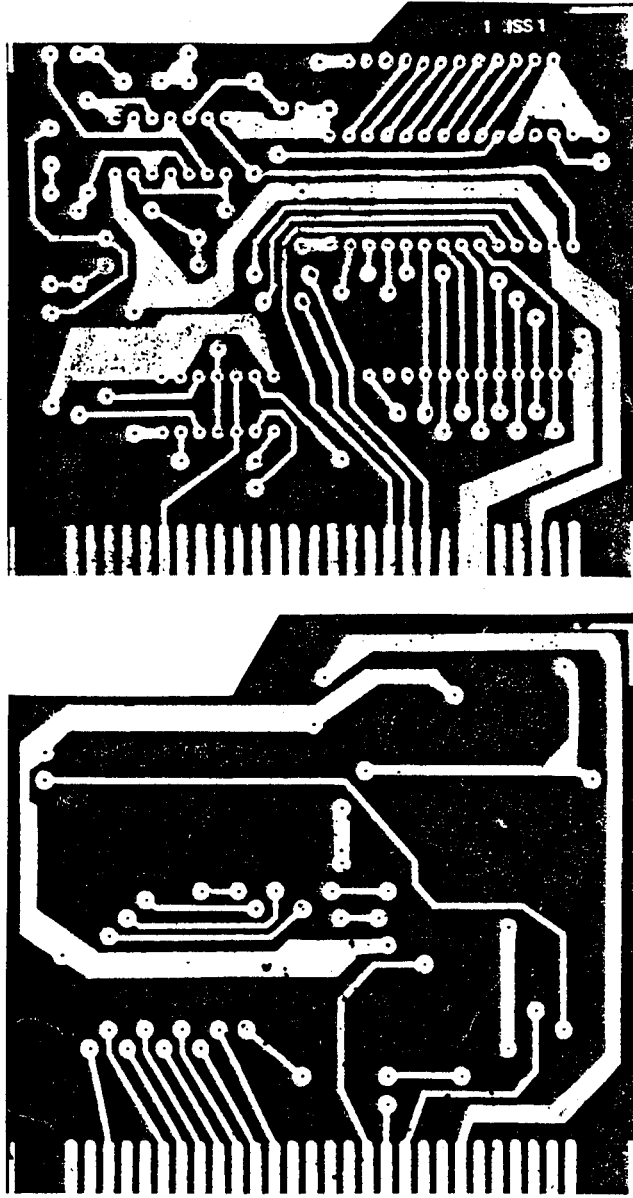
FIGURE 8

NOTE 8: This parameter was measured using pulse techniques. $t_w = 1\text{ ms}$, duty cycle $< 2\%$.

EK - 3



Istrumantasyon kuvvetlendirici, optokuplör,
filtre ve dc offset baskı devresi



ADC baskı devresi (çift taraflı)