

OPTİK ALGILAMA YÖNTEMİYLE BİLGİSAYAR  
ÇIKTISI PROGRAMLARIN OKUNMASI

Semih OMURTAK

Anadolu Üniversitesi  
Fen Bilimleri Enstitüsü  
Lisans Üstü Yönetmeliği Uyarınca  
Elektrik- Elektronik Müh. Anabilim Dalında  
YÜKSEK LİSANS TEZİ  
Olarak Hazırlanmıştır

Danışman: Doç. Dr. Atila BARKANA

Eylül - 1987

Semih Omurtak'ın YÜKSEK LİSANS tezi olarak hazırladığı " Optik Algılama Yöntemiyle Bilgisayar Çıktısı Programların Okunması " başlıklı bu çalışma , jürimizce lisansüstü yönetmeliğinin ilgili maddeleri uyarınca değerlendirilerek kabul edilmiştir.

10 / 10 / 1987

üye : Doç. Dr. Atilla Borkancı

üye : Prof. Dr. Alalay Borkancı

üye : Doç. Dr. Hamdi Atmaca

Fen Bilimleri Enstitüsü Yönetim Kurulu'nun  
...20.10.1987... gün ve ..159/3..... sayılı kararıyla  
onaylanmıştır.



Rüstem KAYA

Enstitü Müdürü

## ÖZET

Yazıcı çıktısı bilgisayar programlarını optik okuma yöntemi ile belirlemek amacıyla yapılan bu çalışmada bir optik sistem geliştirilmiştir.

Optik sistemin, optik algılayıcı katında elde edilen elektriksel sinyaller, tasarımılanan ve gerçekleştirilen bir devre yardımıyla sayısal sinyallere dönüştürülmektedir. Kağıt üzerindeki siyah-beyaz bölgelere uygun olarak elde edilen bu sinyaller, giriş-çıkış portu ( Z-80 PIO ) aracılığı ile bilgisayar hafızasına yüklenmektedir. Hazırlanan bilgisayar programları ile hafızaya yüklenen veriler değerlendirilerek, kağıt üzerindeki yazı, resim ve benzeri şekiller belirlenmekte ve bilgisayar ekranına çizilmektedir.

### SUMMARY

In this study an optical-detection system which can read printouts obtained from printers has been developed.

Electrical signals obtained from optical sensor sections of the system are converted to digital signals by means of an electronic circuit. These digital signals which are generated according to black and white parts of the print out surface are loaded to computer memory through the input port of Z-80 PIO . Loaded data are processed by a special written computer program. Finally letters, pictures and whatever else is on the paper are detected and this figures are drawn on computer monitor.

## TEŞEKKÜR

Bu çalışmayı bana yüksek lisans tezi olarak veren ve çalışmalarımda bana yol gösteren değerli hocam Doç. Dr. Atila Barkana 'ya, çalışmalarım sırasında her konuda yardımlarını esirgemeyen arkadaşlarım Selçuk Canbek 'e ve Halil Taşana 'a ,Tezin hazırlanmasında yardımına koşan tüm mesai arkadaşlarıma teşekkür ederim.

## İÇİNDEKİLER

	<u>Sayfa</u>
ÖZET.....	IV
SUMMARY.....	V
ŞEKİLLER DİZİNİ.....	IX
1. GİRİŞ.....	1
1.1. Optoelektronigin tanımı.....	1
1.2. Çalışmanın Amacı.....	3
1.3. Kullanılan Yazıcı ve Yazıcının Yazma İşlevi.....	4
1.4. Yazıcı Kafanın Sürülmesi ve Uygun Örnek Alımının Oluşturulması.....	6
2. OPTİK OKUMA SİSTEMİNİN DONANIMI.....	9
2.1. Optik Algılayıcı Sistemin Yapısı.....	9
2.2. Optik Algılayıcı Kafanın Yapısı.....	10
2.3. Tasarımlanan ve Gerçeklenen Devrenin Yapısı.....	12
2.4. Tasarımlanan Devrenin Çalışması.....	16
2.5. Z-80 PIO ile Kafanın Sürülmesi ve Veri Alımı.....	18
3. YAZILIM.....	22
3.1. Hazırlanan Bilgisayar Programı.....	22
3.1.1. Ana Program.....	23
3.1.2. Alt Program.....	25

	Sayfa
	-----
4. GENEL SONUÇLAR.....	28
4.1. Sonuçlar.....	28
4.2. Gerçeklenen Uygulama.....	29
KAYNAKLAR DİZİNİ.....	30
EKLER.....	31
1. Karakterlerin Nokta Modelleri.....	31
2. Microline 83 A Yazıcıısının Değişik Yazım Modlarındaki Yazım Örnekleri.....	37
3. Darbe Motoru Sürücü Devresi.....	38
4. Tasarımlanan Devrenin Bağlantı Şeması....	39
5. "MFOD 200" ve "MFOD 300" Fototransistör- lerin Elektriksel ve Optik Özellikleri... ..	40
6. "Z-80 PIO" nun Yapısı ve Programlanması..	44
7. Hazırlanan Bilgisayar Programları.....	53
7.1. Ana Program.....	53
7.2. Alt Program.....	54
7.3. Gerçeklenen Uygulamanın Programları.	56
8. Gerçeklenen Sistem ile Alınan Birkaç Örnek.....	57

## SEKILLER DİZİNİ

	Sayfa
	-----
1.1 Darbe Motoru Sürücü Sinyalleri.....	6
1.2 Sürücü Sinyallerin bir Periyodu Boyunca Darbe Motorunun Sürülmesi.....	7
1.3 (a) Sürücü Sinyallerin EX-OR Kapısına Uygulanması.....	8
(b) Uygulanan Sinyaller ve Çıktının Dalga Sekilleri.....	8
2.1 Sistemin Blok Diyagramı.....	9
2.2 1x7 Fiber Optik Kablo Matrisinin Kesiti.....	10
2.3 Optik Algılayıcı Kafanın Sematik Resmi.....	11
2.4 Tasarımlanan Devrenin Seması.....	13
2.5 Tasarımlanan Devrede Üretilen Sinyaller.....	15
2.6 PIO Devresinin Z-80 Mikroişlemcisiyle Bağlantısı.....	20
2.7 PIO Portlarının Kullanımı.....	21
3.1 Ana Programın Akış Seması.....	24
3.2 Alt Programın Akış Seması.....	26

## 1. GİRİŞ

### 1.1 Optoelektronigin Tanımı

En genel anlamıyla optoelektronik; elektronik, optik ve ışığın birleşimi ile verimli ve ekonomik olarak, ölçüm yapmak, bilgi transfer etmek ve elektromekanik sistemlerin kontrolunu sağlamak şeklinde tanımlanabilir. Optoelektronik sistemlerde, elektronik devre elemanları, ışık saçıcılar (light emitters) ve ışık algılayıcılar (photodetector, photosensor) olmak üzere iki grupta toplanırlar. Işık saçıcılar, elektrik enerjisini ışık enerjisine, ışık algılayıcılar ise ışık enerjisini elektrik enerjisine dönüştüren çeviricilerdir (transducer).

Optoelektronik yeni bir teknoloji olmakla beraber elektronikte vakum tüplerinin kullanıldığı yıllarda vakum tipi ışık algılayıcılar (vacuum-type photocells) hareketli kapıların motor kontrolunda, belirli yerlerden geçen insan veya çeşitli cisimlerin sayısının belirlenmesinde, film makina ve kameralarında kullanılmaktaydı. Günümüzde benzer teknik malın cinsini belirlemek amacıyla süpermarketlerdeki kod okuyucularda kullanılmaktadır.

Yarıiletken teknolojisinin ortaya çıkıp gelişmesine paralel olarak optoelektronik endüstrisinde de çok büyük gelişmeler sağlanmıştır. P ve N tipi yarıiletken malzemelerden oluşan P-N eklemleri (P-N junction) belirli şartlar altında ışık saçarlar. Bu ışık tungsten ampullerin veya ben-

zeri ışık kaynaklarının verdikleri ışık kadar parlak olmakla birlikte, yüksek duyarlılıktaki yarıiletken algılayıcılar için uygun ışık kaynaklarıdır. P ve N tipi yarıiletken kristallerin eklemlerinden oluşan ışık saçıcı LED'ler fiziksel yapılarına bağlı olarak değişik dalga boylarında, görünür (visible), morötesi (ultraviolet) ve kızılötesi (infrared) ışık saçabilirler.

Günümüzde optoelektronik sistemlerde kullanılan ışık algılayıcılarda yarıiletken teknolojiyle üretilmektedir. P-N ekleminden oluşan diyot doğru kutuplamada (forward bias) ışık saçar, ters kutuplamada ise (reverse bias) üzerine ışık düştüğünde içerisinden elektrik akımı geçirir. Benzer şekilde N-P-N tipi transistör base ucu açıkta iken " base-collector " eklemine ışık düşürüldüğünde kendi içerisinde elektron akımı oluşturur ve transistörün doğru kutuplama kazancı "  $h_{fe}$  " yi artırır.

Optoelektronik devre elemanlarının fiyatlarının düşük fiziksel boyutlarının küçük olması, ayrıca hızlı ve yüksek duyarlılıkta çalışabilme özelliklerine sahip olmaları onlara ekonomiklik sağlar. Bu nedenlerden dolayı pek çok alanda optoelektronik kullanımı tercih edilmektedir.

Bugün optoelektronik sistemlerin endüstriyel alanlarda yaygın olarak kullanılmalarının yanı sıra, ışık sinyallerinin fiber optik kablolar yardımı ile uzak mesafelere taşınması olanığının doğmasıyla, optik sistemlerin sayısal haberleşme alanındaki kullanımı da büyük önem kazanmıştır.

## 1.2.Çalışmanın Amacı

Bu çalışmada optik algılayıcılar kullanılarak kağıt üzerindeki, yazıcı (printer) çıktısı bilgisayar programlarının okunması amaçlanmıştır. Bu amaca uygun olarak kağıt üzerindeki siyah-beyaz farklılıklarını belirleyen bir optik algılayıcı sistem geliştirilmiştir. Optik algılayıcıda elde edilen elektriksel sinyaller tasarımlanan ve gerçekleştirilen bir devre yardımıyla sayısal sinyallere dönüştürülmüş ve elde edilen bu sayısal sinyaller, giriş-çıkış portu (Z-80 PIO) aracılığıyla AMSTRAD 6128 bilgisayarının hafızasına yüklenmiştir. Yazılan bilgisayar programları yardımıyla hafızaya yüklenen veriler değerlendirilerek, kağıt üzerindeki yazı, resim ve benzeri şekillerin belirlenmesi işlemi gerçekleştirilmiştir.

Optik okuma işleminin ilk ve en önemli basamağı kağıt üzerindeki siyah ve beyaz bölgelerin algılanması işlemidir. Kağıt üzerindeki şeklin hatasız olarak belirlenebilmesi için herşeyden önce bu siyah-beyaz farklılıklarının temiz ve sağlıklı bir biçimde algılanması gerekmektedir. Temiz ve sağlıklı bir algılama ancak, her zaman düzenli ve kararlı çalışan bir okuma mekanizmasının sağlanmasıyla mümkündür. Siyah-beyaz algılama işlemi için bir bilgisayar yazıcısının kullanımı uygun görülmüş ve optik okuma işlemi bilgisayar yazıcısının, yazıcı kafası yerine bir optik algılayıcı kafa yerleştirilerek gerçekleştirilmiştir.

### 1.3. Kullanılan Yazıcı ve Yazıcının Yazma İşlevi

Bu çalışmada optik algılama işlemi Microline 83-A yazıcısı yardımıyla yapılmaktadır. Microline 83-A, nokta matris (Impact Dot Matrix) sistemiyle yazan bir yazıcı olup, temel matrisi 9x9 luk noktalardan oluşmaktadır. Bu yazıcıda karakterler 7x9 luk nokta matrisiyle basılmaktadır. EK 1'de karakterlerin nokta modelleri (Dot Pattern) verilmiştir. Karakter genişlikleri (character-to-character space) ve satır aralığı (line space) değişik fonksiyon komutları ile aşağıda verilen boyutlarda belirlenebilmektedir.[1]

#### a. Karakter Genişlikleri:

Inç Başına Düşen Karakter Sayısı (Character Per Inch, CPI)	Karakter Genişliği (Char. To Char. Space)
5 CPI	5.08 mm (1/5 inch)
8.3 CPI	3.05 mm (1/8.3 inch)
10 CPI	2.54 mm (1/10 inch)
16.5 CPI	1.52 mm (1/16.6 inch)

#### b. Satır Aralıkları

Inç Başına Düşen Satır Sayısı (Line Per Inch, LPI)	Satır Aralığı (Line Space)
6 LPI	4.23 mm (1/6 inch)
8 LPI	3.175 mm (1/8 inch)

"6 LPI" ve "8 LPI" satır aralıklarına göre değişik yazım modundaki karakterlerin basım örnekleri EK 2.' de verilmiştir.

Microline 83-A yazıcısında, "10 CPI" 'lık yazım modunda yazılmış karakterler "Normal Karakter", "16.5 CPI" 'lık yazım modunda yazılmış karakterler ise "Küçültülmüş Karakter" olarak isimlendirilir. Sırasıyla "5 CPI" ve "8.3 CPI" lik yazım modundaki karakterler ise "Normal" ve "Küçültülmüş" karakterlerin iki kat büyütülmüş basım şekilleridir.

[11]

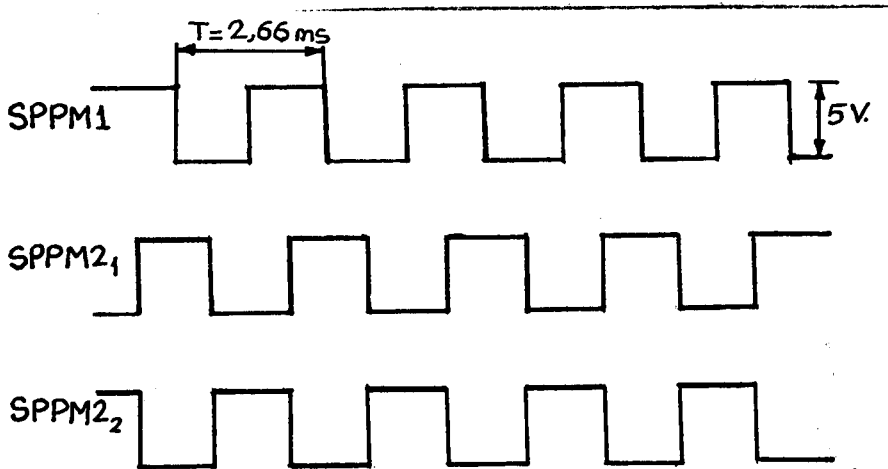
Bu çalışmada, 8 LPI satır aralığı ve 10 CPI ile 5 CPI karakter genişliğindeki yazma modunda yazılmış olan yazıcı çıktılarının okunması üzerine çalışılmıştır. Microline 83-A yazıcısı , 10 CPI karakter genişliği modunda bir satır boyunca 80 karakter, 5 CPI genişliği modunda ise bir satır boyunca 40 karakter basar. Her iki yazım modunda da yazıcı kafa bir satır boyunca 7x1'lik sütun vektöründen oluşan 960 vektörü tarayarak ve her bir vektör için gerekli yerlere noktalar basarak karakterlerin kağıt üzerine yazılmasını sağlamaktadır. Başka bir deyişle, yazıcı kafa 10 CPI karakter genişliği modunda, her bir karakter için 9 adım (Step) iki karakter arasındaki boşluk için de üç adım olmak üzere bir karakter genişliği boyunca toplam 12 adım hareket eder. Böylece bir satırı, toplam 80 karakter için 12x80 (960) adımda kateder. 5 CPI karakter genişliği için ise, herbir karakter için 18 adım, iki karakter arasındaki boşluk için de 6 adım olmak üzere bir karakter genişliği boyunca 24 adım hareket eder. Bu yazma modunda bir satır 40 karakter

genişliğine sahip olduğu için bir satırı yine 24x40 (960) adımda katetmiş olur.

Optik okuma işleminde de, karakterleri tam olarak belirleyebilmek için kafanın hareketine eşzamanlı olarak bir satır boyunca 960 örnek almak gerekmektedir. Kafanın hareketiyle eşzamanlı örnek alımı, alt bölüm 1.4. de anlatılmıştır.

#### 1.4. Yazıcı Kafanın Sürülmesi ve Kafa ile Eşzamanlı Örnek Alımı

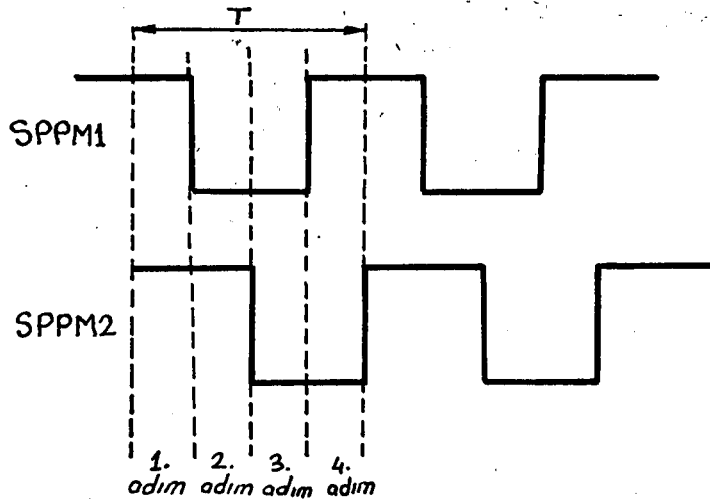
Microline 83 A yazıcısında yazıcı kafa bir darbe motoru (Puls Motor) ile sürülmektedir. Darbe motorunun sürücü devre şeması EK 3' te verilmiştir. EK 3' te görülen ve "SPPM1" ve "SPPM2" olarak adlandırılan kare dalga sinyaller darbe motorunu süren sinyallerdir. Bu sinyaller sırası ile yazıcının kontrol kartındaki Q8 (74 LS 05) tümleşik devresinin 13 numaralı bacağı ile Q9 (7407) tümleşik devresinin 1 numaralı bacağına çıktı olarak üretilmektedir. Bu sinyallerin osiloskopta gözlenen dalga şekilleri şekil 1.1' de verilmiştir.



Şekil 1.1. Darbe motoru sürücü sinyalleri.

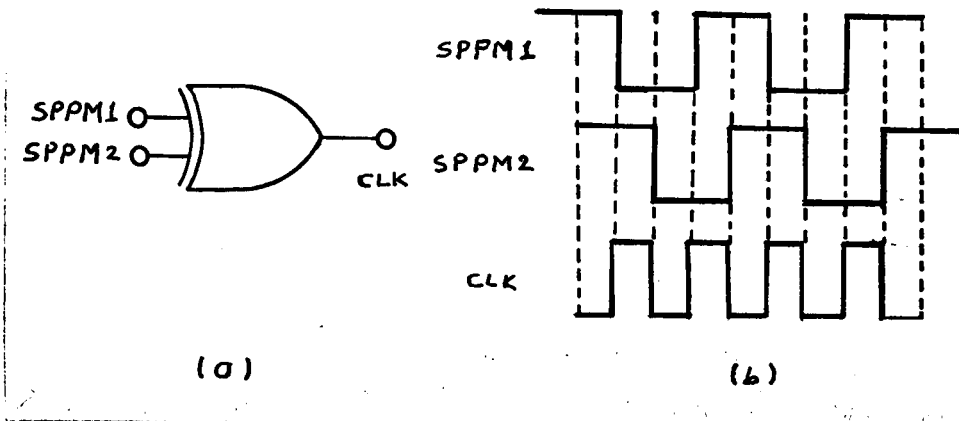
Şekil 1.1' de SPPM2 sinyali, SPPM21 ve SPPM22 olmak üzere iki değişik şekilde çizilmiştir. Bunun nedeni; yazıcı kafa soldan sağa hareket ederken Q9 tümleşik devresinin 1 numaralı bacagında SPPM21 sinyalinin üretilmekte ve darbe motorunun mili saatin dönme yönünde hareket etmektedir. Kafa sağdan sola giderken yani, geri dönerken Q9 tümleşik devresinin 1 numaralı bacagında SPPM21'in evriği (Inverse) olan SPPM22 sinyali üretilerek, darbe motorunun milinin saatin dönme yönünün tersinde hareket etmesini sağlamaktadır.

EK 3' te verilen sürücü devre şemasında görüldüğü gibi darbe motoru 4 fazlı bir motor olup, SPPM1 ve SPPM2 ve bu sinyallerin evrikleri olan  $\overline{\text{SPPM1}}$  ve  $\overline{\text{SPPM2}}$  sinyalleri ile sürülmektedir. Bu sürücü devre şeması analiz edilirse, darbe motorunun, sürücü sinyallerin bir periyodu boyunca Şekil 1.2 de verildiği gibi 4 adımlı hareket ettiğigörülecektir.



Şekil 1.2. Sürücü sinyallerin bir periyodu boyunca darbe motorunun sürülmesi.

Optik okuma işleminde de, darbe motoru sürücü sinyallerinin düşük seviyesinde (Low Level) 2 örnek, yüksek seviyesinde (High Level) 2 örnek olmak üzere, bir periyod boyunca toplam 4 örnek alarak, kafanın hareketine eşzamanlı olarak bir satır boyunca toplam 960 örnek almak mümkündür. Burada göz önüne alınması gereken bir konuda sürücü sinyallerinin gerek düşük seviyesinde; gerekse yüksek seviyesinde alınması gereken 2' şer örneklemlerin rastgele değil, uygun zamanlarda alınmış olmasıdır. Bu sorunu ortadan kaldırmak için bu çalışmada, SPPM1 ve SPPM2 sinyalleri EX-OR kapısından geçirilerek şekil 1.3' te gösterilen sinyal elde edilmiştir. Sürücü sinyallerin iki girişli EX-OR kapısının girişlerine uygulanmasıyla bu kapının "Q" çıkışında frekansı sürücü sinyallerin iki katı olan "CLK" sinyali elde edilmiştir. elde edilen bu sinyalin düşük seviyesinde 1, yüksek seviyesinde 1, örnek alınarak uygun örnekleme yapma imkanı sağlamıştır.

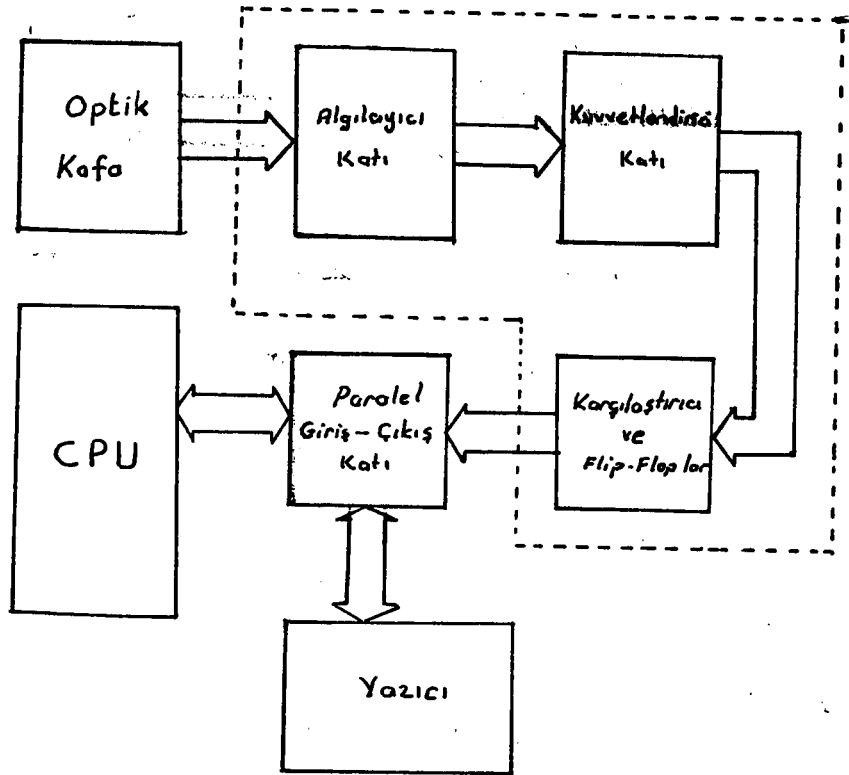


Şekil 1.3 (a) Sürücü sinyallerin EX-OR kapısına uygulanması  
(b) Uygulanan sinyaller ve Çıktının dalga Şekilleri

## 2. OPTİK OKUMA SİSTEMİNİN DONANIMI

### 2.1. Optik Algılayıcı Sistemin Yapısı

Optik okuma sisteminin donanım mantığı, kağıt üzerindeki siyah-beyaz bölgelerin optik olarak algılanması ve algılanan ışık sinyallerinin elektriksel sinyallere dönüştürülerek istenilen hafıza birimine aktarılmasını içerir. Bu işlemi gerçekleştiren donanım yapısının blok şeması şekil 2.1.'de verilmiştir.



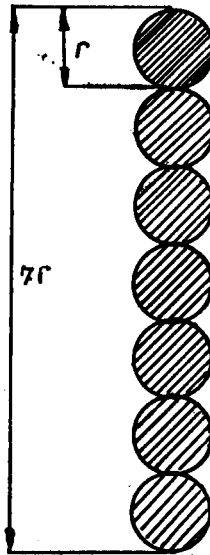
Sekil 2.1. Sistemin blok diagramı

## 2.2. Optik Algılayıcı Kafanın Yapısı

Giriş bölümünde belirtildiği gibi, bu çalışmada optik algılama işlemi, yazıcının yazıcı kafası yerine bir optik algılayıcı kafa yerleştirilerek yapılmıştır.

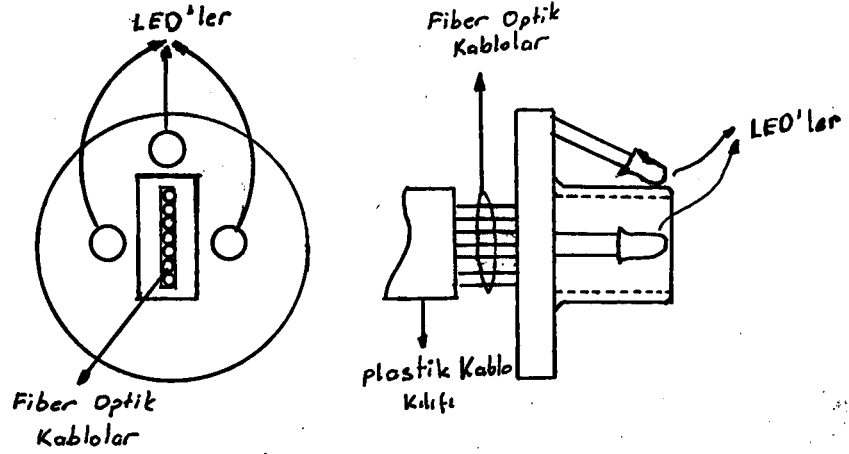
Microline 83 A yazıcısında yazıcı kafa, düşey olarak sıralanmış 0.35 mm çapında 7 adet metal pini manyetik olarak ileri geri hareket ettirir. Bu pinler aracılığı ile kagıt üzerinde noktalamalar yapar ve karakterlerin yazılmasını sağlar.

Optik algılayıcı kafada, yazıcı kafada bulunan yazıcı pinlerin yerine 7 adet fiber optik kablonun düşey olarak sıralanmasıyla oluşturulan fiber optik kablo matrisi kullanılmıştır.



Sekil 2.2. 1x7 fiber optik kablo matrisinin kesiti

7 adet fiber optik kablodan oluşan bu matris, yazıcı kafanın kağıda bakan yüzeyinde bulunan plastik bir kapagın üzerine monte edilmiştir. Oluşturulan optik algılayıcı kafanın şematik resmi şekil 2.3.'de verilmiştir.



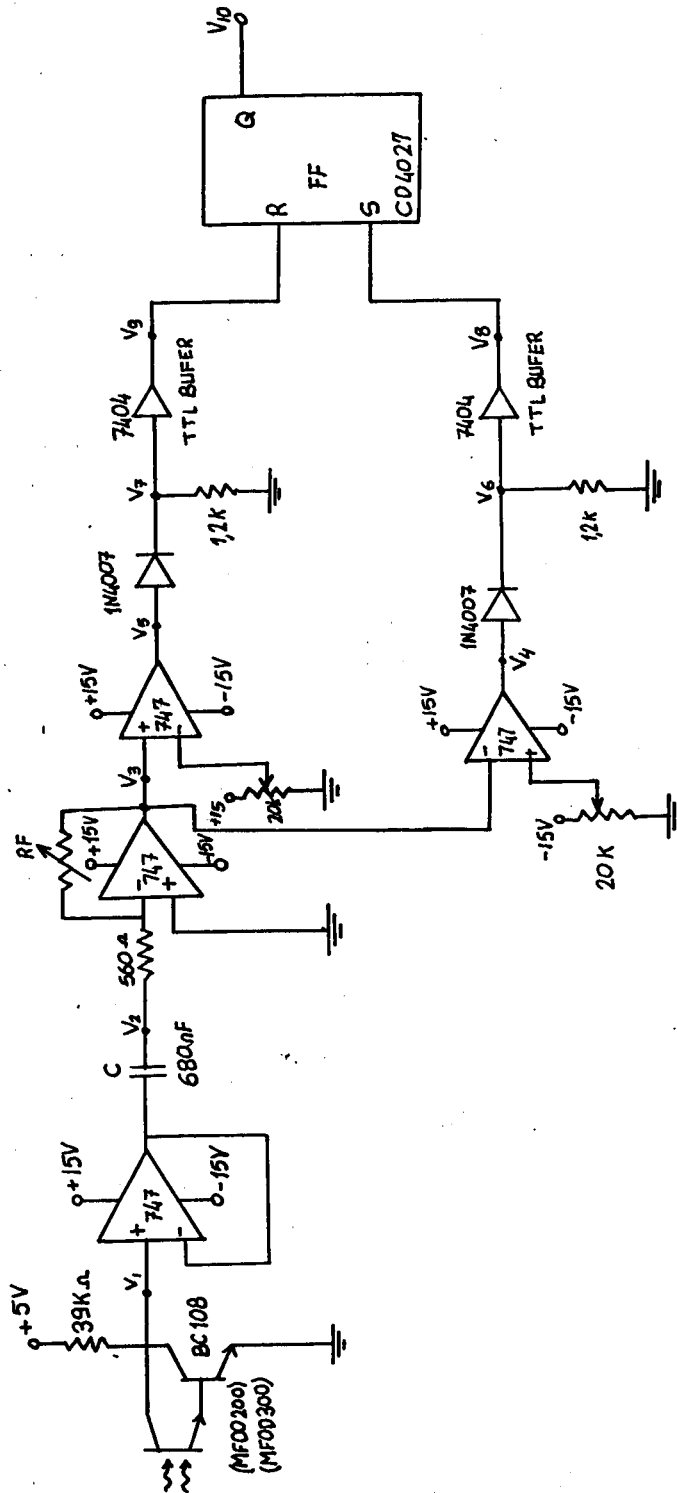
Şekil 2.3. Optik algılayıcı kafanın şematik resmi

Fiber optik kablo matrisi şekil 2.3.'de görüldüğü gibi plastik kapakta yazıcı pinlerin oturtulduğu yuvaya yerleştirilmiştir. Ayrıca kağıt üzerinde parlaklık sağlamak amacıyla yuvanın oluşturduğu çıkıntının sağ ve sol yanıyla, bu çıkıntının üst kısmına birer LED konulmuştur. Led'lerden çıkan ışık kağıt üzerindeki siyah-beyaz bölge farklılıklarına göre değişik şiddetlerde yansımaktadır. Kağıt üzerinden yansıyan ışık fiber optik kablolar aracılığı ile ışık algılayıcısı olarak kullanılan fototransistörlere ulaştırılır. Fototransistörlerin yardımı ile kağıt üzerindeki siyah-beyaz bölgeler belirlenir.

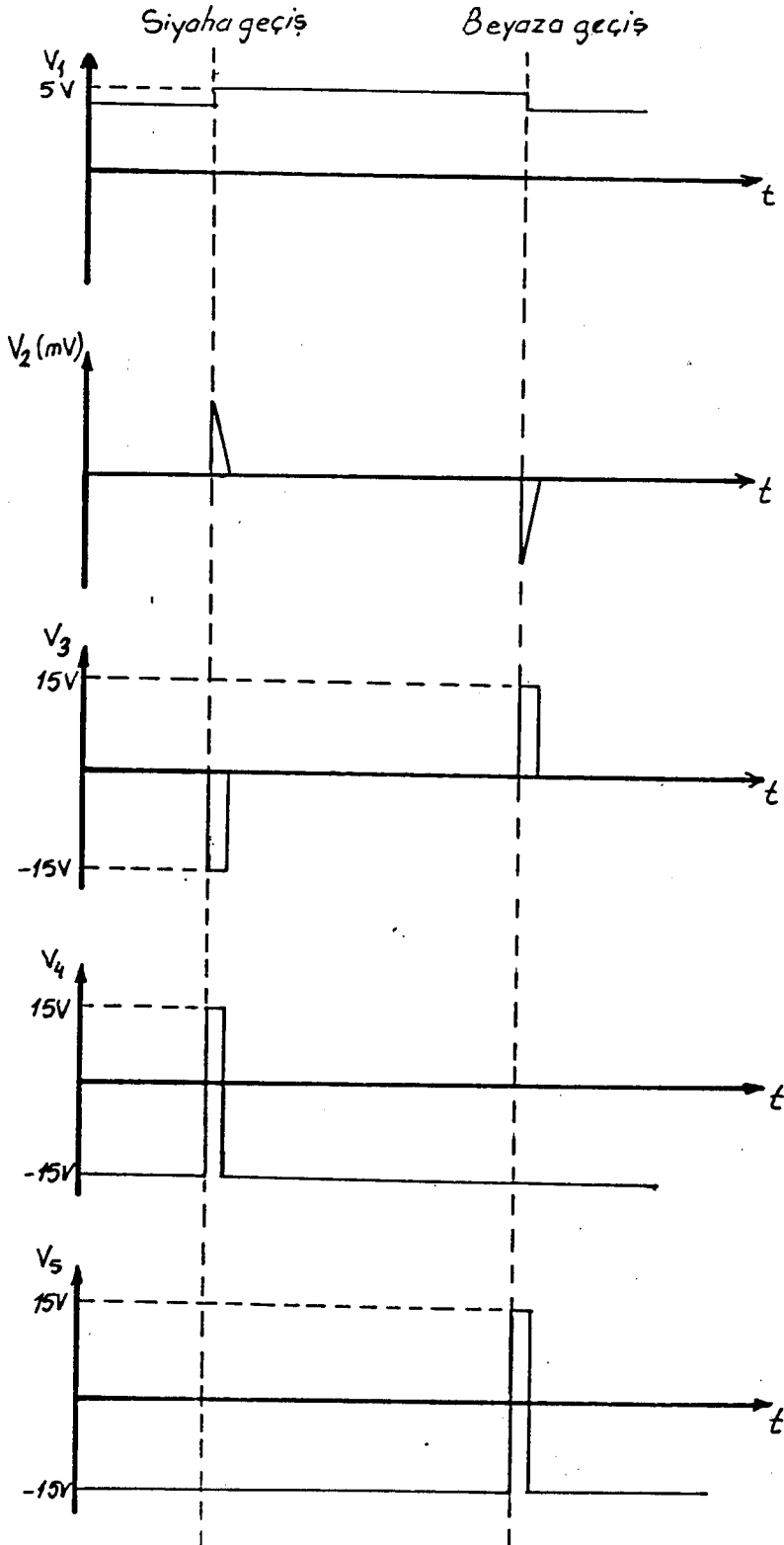
### 2.3. Tasarımlanan Devrenin Yapısı

Optik algılayıcı kafadan fiber optik kablolar aracılığı ile iletilen ışık sinyalleri uygun izolasyon bileşenleri ile ışık algılayıcılarına ulaşmaktadır. Bu çalışmada ışık algılayıcısı olarak " MFOD 300 " ve " MFOD 200 " fototransistörleri kullanılmıştır. " MFOD 300 " ve " MFOD 200 " fiber optik sistemler için üretilmiş fototransistörler olup, elektriksel ve optiksel özellikleri EK 5'de verilmiştir.

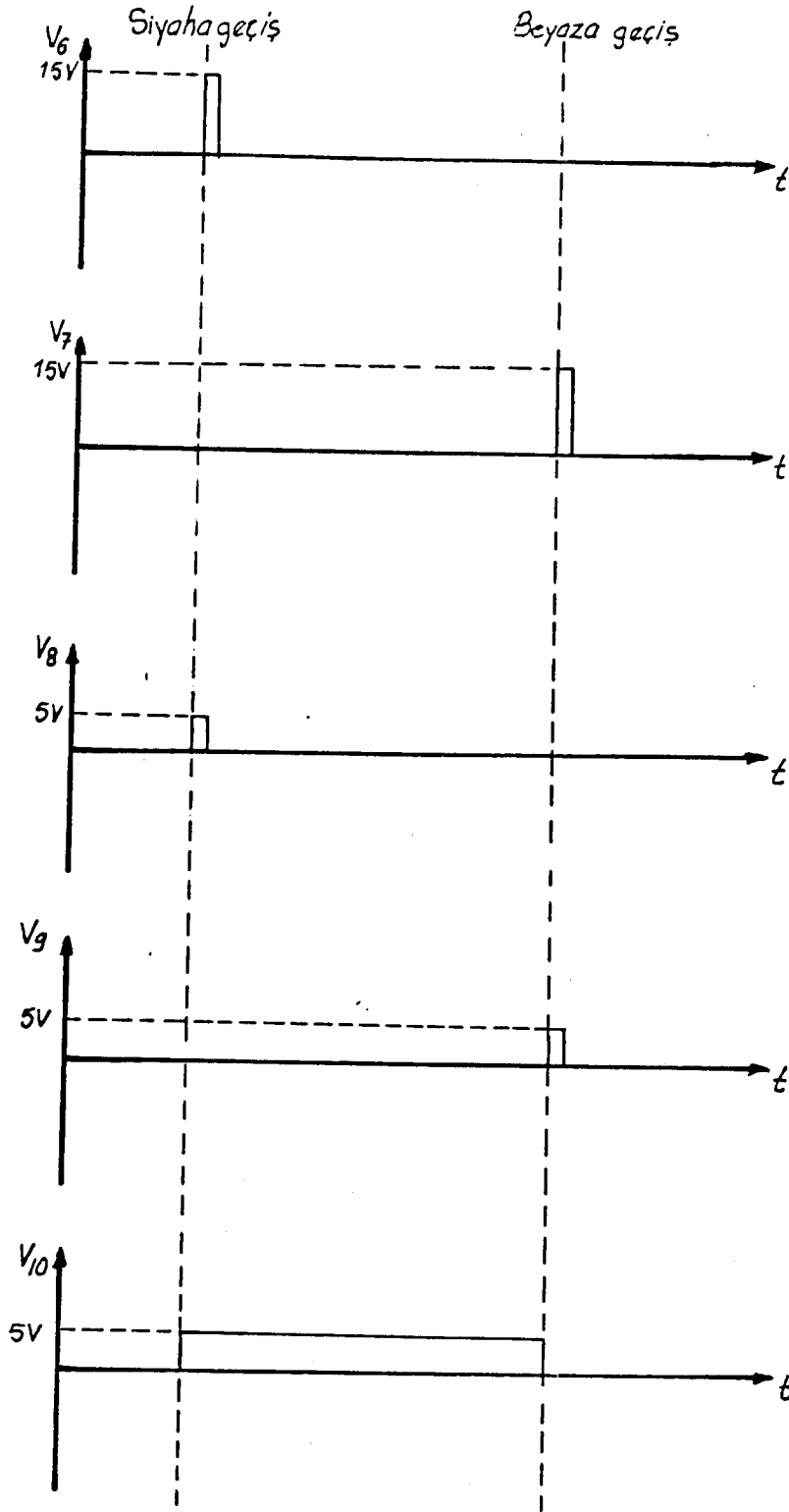
Optik algılayıcı kafadan gelen ışık sinyalleri elektriksel sinyallere dönüştürmek ve bu elektriksel sinyalleri de, bilgisayar hafızasına girdi olarak yüklenecek sayısal sinyaller haline getirmek için, bir elektronik devre tasarımı yapılmış ve gerçekleştirilmiştir. Tasarımlanan elektronik devrenin şeması şekil 2.4.'de görülmektedir. Şekil 2.4.'de verilen şema tasarımı yapılmış devrenin, tek bir kanalını göstermektedir. Tüm sistem, 7 adet fiber optik kablo için, şemada gösterilen devrenin aynısı olan 7 adet devrenin bütününden oluşmaktadır. Tasarımlanan devrenin çeşitli kademelerinde üretilen ve şema üzerinde numaralanmış olan sinyallerin dalga biçimleri şekil 2.5.'de gösterilmiştir.



Şekil 2.4. Tasarımlanan Devrenin Şeması



Şekil 2.5. Tasarımlanan devrede üretilen sinyaller



Sekil 2.5. Tasarımlanan devrede üretilen sinyaller

(Devamı)

#### 2.4. Tasarımlanan Devrenin Çalışması

Tasarımlanan devrenin çalışma prensibi şekil 2.4.' de verilen devre şeması ve şekil 2.5.' de verilen sinyal şekillerinin yardımı ile şöylece özetlenebilir.

Optik kafanın hareketi sırasında algılanan ışık sinyalleri fiber optik kablolarla " MFOD 300" ( veya MFOD 200 ) fototransistörlerine iletilir. Bu ışık sinyalleri, fototransistor ile BC 108 NPN transistörünün darlington bağlanması ile oluşturulan transistörün kollektör ucundaki " V1 " olarak isimlendirilen sinyalde küçük voltaj değişimlerine sebep olur. V1 sinyali bir voltaj geçiriciden ( voltage follower ) geçirildikten sonra, seri bir kapasite ile d.c. voltaj seviyesi süzülerek " V2 " sinyali elde edilir. Şekil 2.5.' ten görüldüğü gibi " V2 " sinyali, kafanın, beyazdan siyaha geçişinde pozitif yönde, siyahtan beyaza geçişinde ise negatif yönde, oluşan milivoltlar seviyesindeki darbelerden ( puls ) meydana gelmektedir. Daha sonra " V2 " sinyali giriş direnci 560 ohm ve geri besleme direnci  $R_f$  olan bir evirici kuvvetlendiriciden ( inverting Amplifier ) geçirilmektedir. Kuvvetlendiricinin geri besleme direnci  $R_f$  mega ohm' lar seviyesinde seçilerek kazancın mümkün olduğu kadar yüksek olması sağlanmıştır. Kazancın yüksek tutulması ile , kuvvetlendiricinin çıkışında -15 voltta ve +15 voltta kırılan darbelerden meydana gelen " V3 " sinyali elde edilmiştir. Daha sonra bu " V3 " sinyali, eksi girişine pozitif referans voltajı uygulanan karşılaştırıcının ( comparator ) artı girişine ve artı girişine negatif referans

voltajı uygulanan kaşılaştırıcının ise eksi girişine uygulanmaktadır. Böylece kaşılaştırıcıların çıkışında, kafanın beyazdan siyaha geçişinde +15 voltluk darbelerden oluşan ve diğer durumlarda -15 volt seviyesinde kalan " V4 " sinyali ile kafanın, siyahtan beyaza geçişinde +15 voltluk darbelerden oluşan ve diğer durumlarda -15 volt seviyesinde kalan " V5 " sinyali elde edilmiştir. Elde edilen bu " V4 " ve " V5 " sinyalleri seri birer diyot ile 1.2 k ohm' luk dirençler üzerinden topraklanarak -15 volt değerleri süzülmüştür. Böylece beyazdan siyaha geçişte +15 voltluk darbeler veren " V6 " sinyali ile siyahtan beyaza geçişte +15 voltluk darbeler veren " V7 " sinyalleri üretilmiştir. Daha sonra " V6 " ve " V7 " olarak isimlendirilen bu sinyaller, 6 adet TTL tampon' dan oluşan ( SN 7407 ) tümleşik devresinin girişlerine uygulanmıştır. Bu tümleşik devrenin çıkışında voltaj seviyeleri +5 volt olan darbelerden oluşan " V8 " ve " V9 " sinyalleri elde edilmiştir. Şekil 2.5.'ten de görüldüğü gibi " V8 " sinyali, kafanın beyazdan siyaha geçişinde, " V9 " sinyali ise, kafanın siyahtan beyaza geçişinde +5 volt seviyesinde darbeler üreten sinyallerdir. " V8 " ve " V9 " sinyalleri, " set " ve " reset " girişlerine sahip olan ( CD 4027 ) JK flip flop tümleşik devresinin sırasıyla S ( set ) ve R ( reset ) girişlerine uygulanarak flip flop' un Q çıkışında " V10 " sinyali elde edilmiştir. Şekil 2.5.'ten görüldüğü gibi " V10 " sinyali, kafanın beyazdan siyaha geçişinde +5 volt (lojik 1) seviyesine ulaşmakta ve kafa siyahta kaldığı sürece bu seviyesini

korumaktadır. Aynı şekilde kafa siyahtan beyaza geçtiğinde " V10 " sinyali 0 volt ( lojik 0 ) değerine düşmekte ve kafa beyazda kaldığı sürece bu seviyeyi korumaktadır.

Tasarımlanan ve gerçekleştirilen bu devre yardımı ile kağıt üzerindeki siyah-beyaz farkı, siyah bölgelerde ( lojik 1 ) beyaz bölgelerde ( lojik 0 ) olmak üzere elde edilmiştir.

## 2.5. Z-80 PIO ile Kafanın Sürülmesi ve Veri Alımı

Optik kafanın sürülmesi ve tasarımlanan devrede elde edilen verilerin hafızaya yuklenmesi işleminde, Z-80 mikroişlemcisine uyumlu çalışan Z-80 PIO devresi kullanılmıştır.

Z-80 PIO çift yönlü çalışma özelliği olan iki adet port' tan oluşmaktadır. Z-80 PIO' nun Z-80 mikroişlemcisinin sinyalleri ile eşzamanlı çalışma özelliğine sahip olması, giriş-çıkış komutlarının kullanıldığı yerlerde donanım açısından kullanım kolaylığı sağlar.

Bu çalışmada kullanılan AMSTRAD 6128 bilgisayarı aşağıda verildiği gibi belirli adresler arasındaki port numaralarını kullanıcıya ayırmaktadır;

A15 - AB

A7 - A0

FB

F9

EO - FE

FA

FB

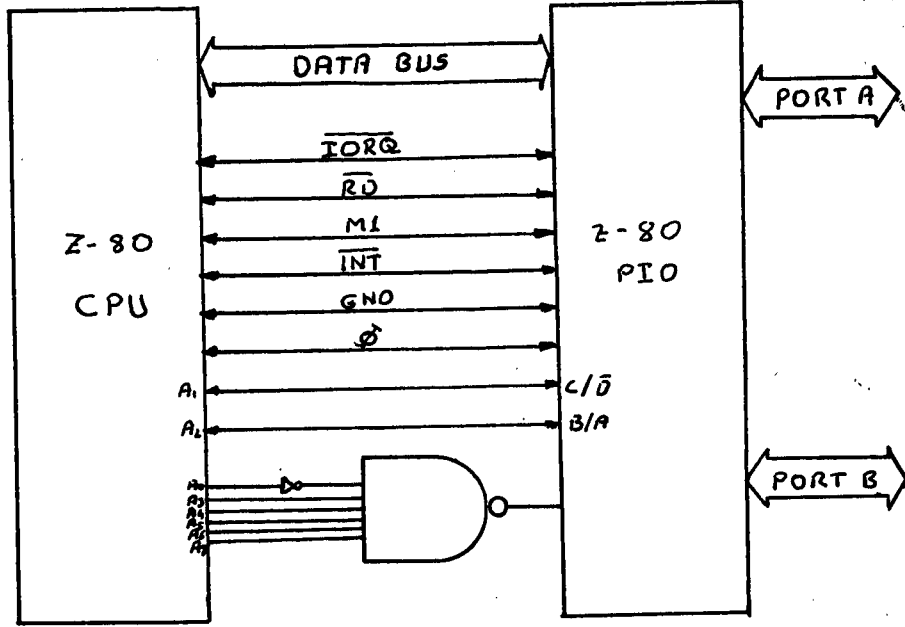
Yukarıdaki tabloya uygun olarak Z-80 PIO için seçtiğimiz port adresleri portların çalışma modlarına göre şöyledir;

	PORT A -----	PORT B -----
Kontrol :	FAFA	FAFE
Data :	FAF8	FAFC

Böylece, FB adresine ayarlanan bir kod çözücü devre çıkışının PIO' nun " CS " ( chip select ) bacağına uygulanmasıyla bütün çalışma modları için PIO' yu seçmek mümkündür.

A veya B portunun seçimi ile " Kontrol " veya " Data " seçimi için uygun çalışma modunun belirlenmesi işlemi de PIO' nun " C/D " ( Control/Data Select ) ve " B/A " ( Port B/Port A Select ) bacaklarına sırasıyla adres hattının A1 ve A2 bitlerinin bağlanmasıyla sağlanmıştır.

Bu çalışmada kullanılan PIO devresinin Z-80 mikro-işlemcisi ile olan bağlantısı şekil 2.6.'da gösterilmiştir. Z-80 PIO tümleşik devresinin yapısı programlanması ve elektriksel özellikleri EK 6 'da verilmiştir.

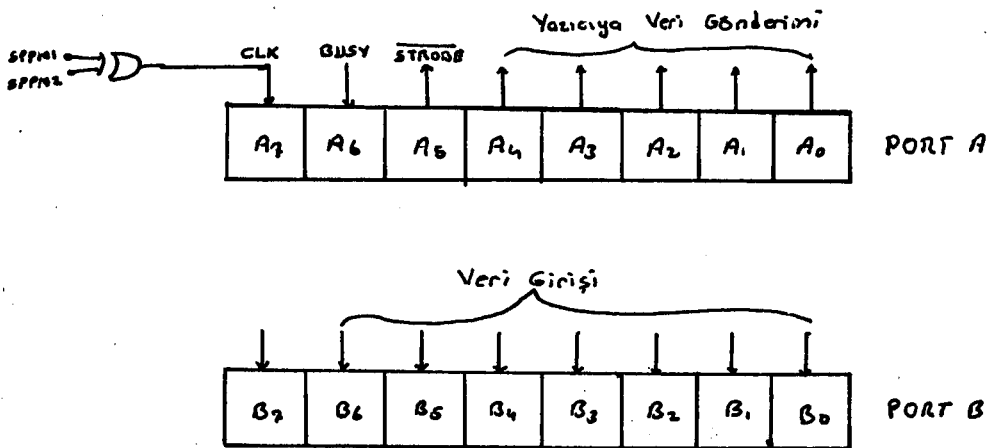


Şekil 2.6. PIO devresinin Z-80 mikroişlemcisi ile bağlantısı

Z-80 PIO devresinin B portu girişe promlanarak, optik algılayıcı devreden gelen sayısal sinyallerin hafızaya yüklenmesi sağlanmaktadır. A portu ise, yazıcının çalışmasını yani, optik kafanın hareketini sağlamakta ve uygun örnek alımını kontrol etmektedir.

Şekil 2.7.' de verildiği gibi A portunun A7 ve A6 bitleri girişe diğer bitleri ise çıkışa programlanmıştır. B7 biti " SPPM1 " ve " SPPM2 " sinyallerinin EX-OR kapısından geçirilmesiyle elde edilen " CLK " sinyalinin kontrolünü yapmaktadır. A7 biti ile " CLK " sinyalinin bir düşük bir yüksek seviyesi kontrol edilerek uygun örnekleme yapılma-

si sağlanmaktadır. A6 - A0 bitleri ise yazma işleminin gerçekleşmesi için yazıcıyla, bilgisayar arasındaki gerekli sinyallerin iletilmesini sağlamaktadır. Bu sinyaller sırasıyla; A6 biti, yazıcıdan bilgisayara gönderilen ve ( lojik 1 ) olduğu zaman yazıcının veri almaya hazır olduğunu gösteren " BUSY " sinyalidir. A5 biti, bilgisayardan yazıcıya gönderilen ve ( lojik 0 ) olduğu zaman bilgisayarın veri göndermeye hazır olduğunu gösteren " STROBE " sinyalidir. " STROBE " sinyali yazılan programda A portu aracılığı ile gönderilir ve yazıcıdan " BUSY " sinyalinin " 1 " ' e yükseltilmesi beklenir. Yazıcı " BUSY " sinyalini " 1 " ' e yükselttiği zaman, A4-A0 bitleri ile yazıcıya " ASCII " karakter kodları gönderilir. Burada yazma işlemi söz konusu olmadığı için A4-A0 bitleri ile gönderilen " ASCII " kodun hiç bir önemi yoktur. Oluşturulan bu interface sinyalleri ile sadece kafanın hareket etmesi sağlanır.



Sekil 2. 7. Z-80 PIO portlarının kullanımı

### 3. YAZILIM

#### 3.1. Hazırlanan Bilgisayar Programı

Optik algılayıcı devrede elde edilen sayısal sinyalleri hafızaya yüklemek ve bu veriler yardımıyla karakterleri belirlemek için bir bilgisayar programı hazırlanmıştır. Hazırlanan bilgisayar programı "BASIC" programlama dilinde yazılmış olan bir ana programla, Z-80 assembler dilinde yazılmış olan bir alt programdan oluşmaktadır.

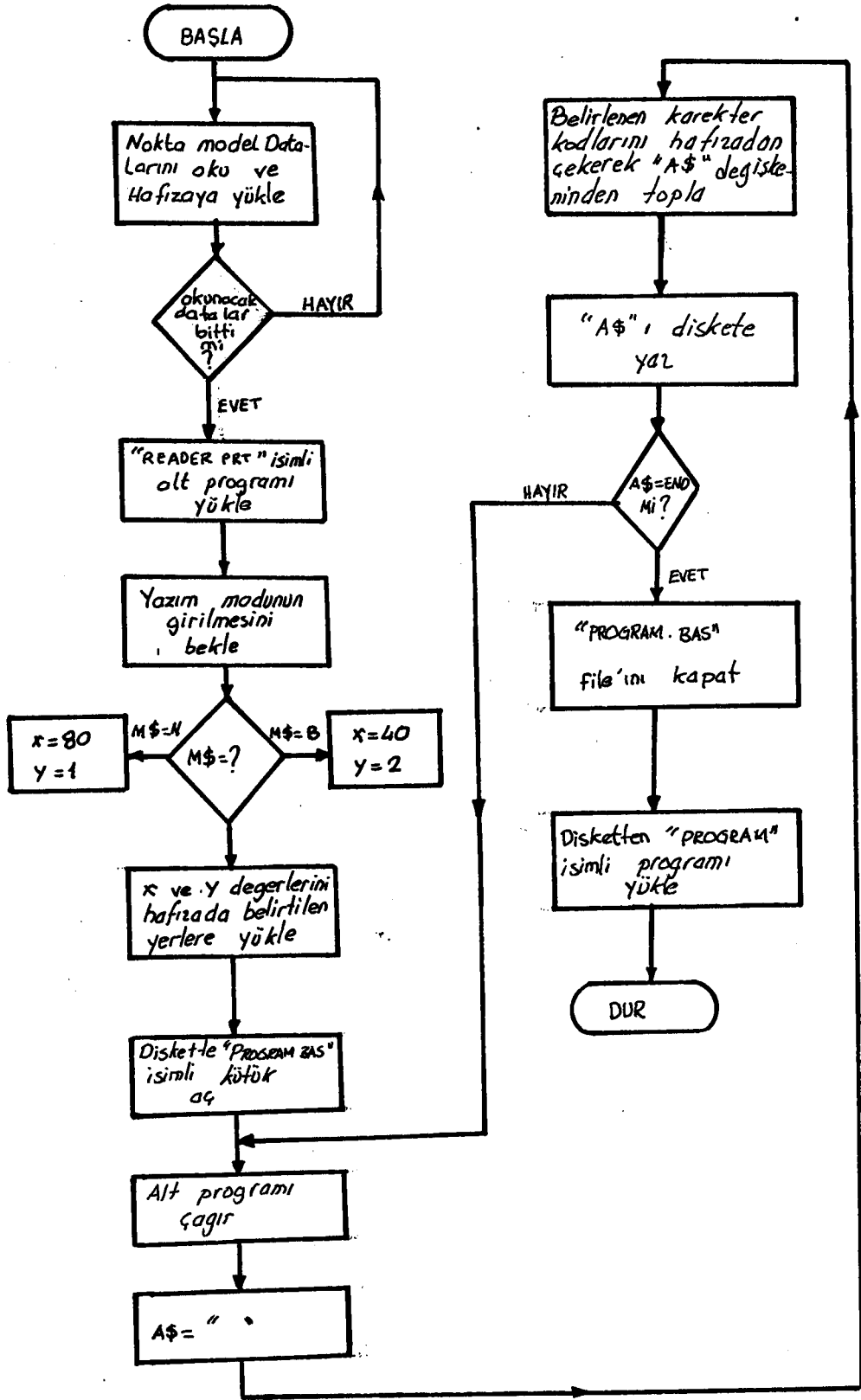
Optik algılayıcı kafanın hareketi, örnek alımı ve alınan örnekler değerlendirilerek karakterlerin belirlenmesi işlemi alt programda gerçekleştirilir. Bu işlemlerin yürütülmesinde "BASIC" programlama hız açısından yavaş kaldığı için alt program makina dilinde hazırlanmıştır.

Optik okuma işlemi, yazılım gereği, yazıcı çıktısı programlar satır satır taranarak yapılmaktadır. Bu nedenle yazıcı çıktıları alınırken dikkat edilmesi gereken iki önemli nokta vardır: Bunlardan biri, program satırlarının yazıcının bir satırını (Yazım moduna göre, "Normal Karakter" için 80, "Büyütülmüş Karakter" için 40 karakteri) geçmemesi gerekir. Program satırının, yazıcının bir satırını geçmesi durumunda optik okuma açısından sakıncalar doğmaktadır. Yazıcıda program satırı bir satırı geçtiği zaman bu satırın devamı bir alt satırda basılmaktadır. Eğer bu satır herhangi bir sayı ile başlıyorsa optik okuyucu bu sayıyı satır numarası olarak kabul edecektir. Böylece okunması istenilen programın yapısı bozulacaktır. Bir diğer nokta ise, programların son satırında "END" komutunun mutlaka yazılmış olması

gerekmektedir. Çünkü optik okuma işlemi "END" yazısı okunduğu zaman sona ermektedir. Eğer "END" komutu yazılmamış ise program bitmiş dahi olsa optik okuma işlemi devam edecektir.

### 3.1.1 Ana Program

Ana program çalıştırıldığı zaman, önce data olarak girilen nokta model verilerini okur. Okuduğu bu verileri 36000 (8CA0 Hex) ile 36855 (8FF7 Hex) nolu adresler arasında kalan hafıza birimine yerleştirir . Daha sonra disketten "READER .PRT" isimli alt programı yükler ve okunulması istenilen yazıcı çıktısının yazım modunun girilmesini bekler. Okunması istenilen yazıcı çıktısı "Normal karakter" modunda yazılmış ise "N" "Büyütülmüş karakter" modunda ise "B" tuşuna basılarak karakterlerin yazım modu belirtilir. program girilen yazım moduna göre hafızada belirli adreslerde ayrılan yerlere gerekli verileri yükler. Diskte "PROGRAM.BAS" isimli bir kütük (file) açtıktan sonra makine dilinde yazılmış olan alt programı çağırır. Alt programda örneklemeler alınıp karakterler belirlendikten sonra tekrar ana programa dönülür. Alt programda belirlenen karakterler hafızadan sıra ile çekilerek "A\$" olarak atanan değişkende toplanır. Daha sonra "A\$" değişkeni "PROGRAM.BAS" ismiyle açılan kütüğe yazılır. Böylece okunması istenilen "BASIC" programın ilk satırının "ASCII" karakter kodları diskete yüklenmiş olur. Okunulması istenen bilgisayar programının satır sayısı kadar alt programa gidilerek her bir satır için aynı işlemler tekrar edilir. Programın son satırı da okunup diskete yazıldıktan sonra diskette açılan kütük kapatılır. Son olarak disketten "PROGRAM" isimli program hafızaya yüklenerek optik okuma işlemi tamamlanır.



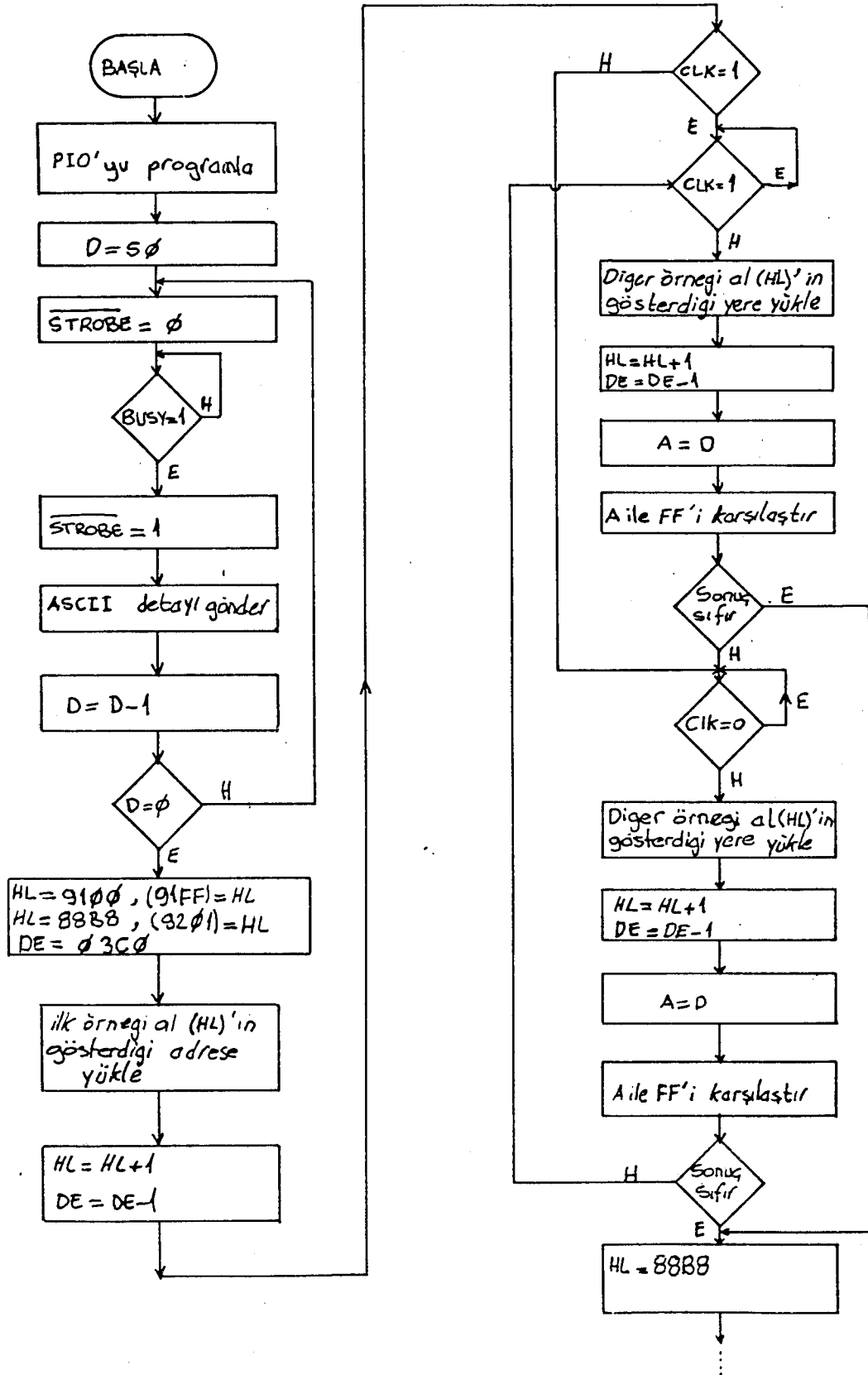
Şekil 3.1. Ana program akış şeması

### 3.1.2. Alt Program

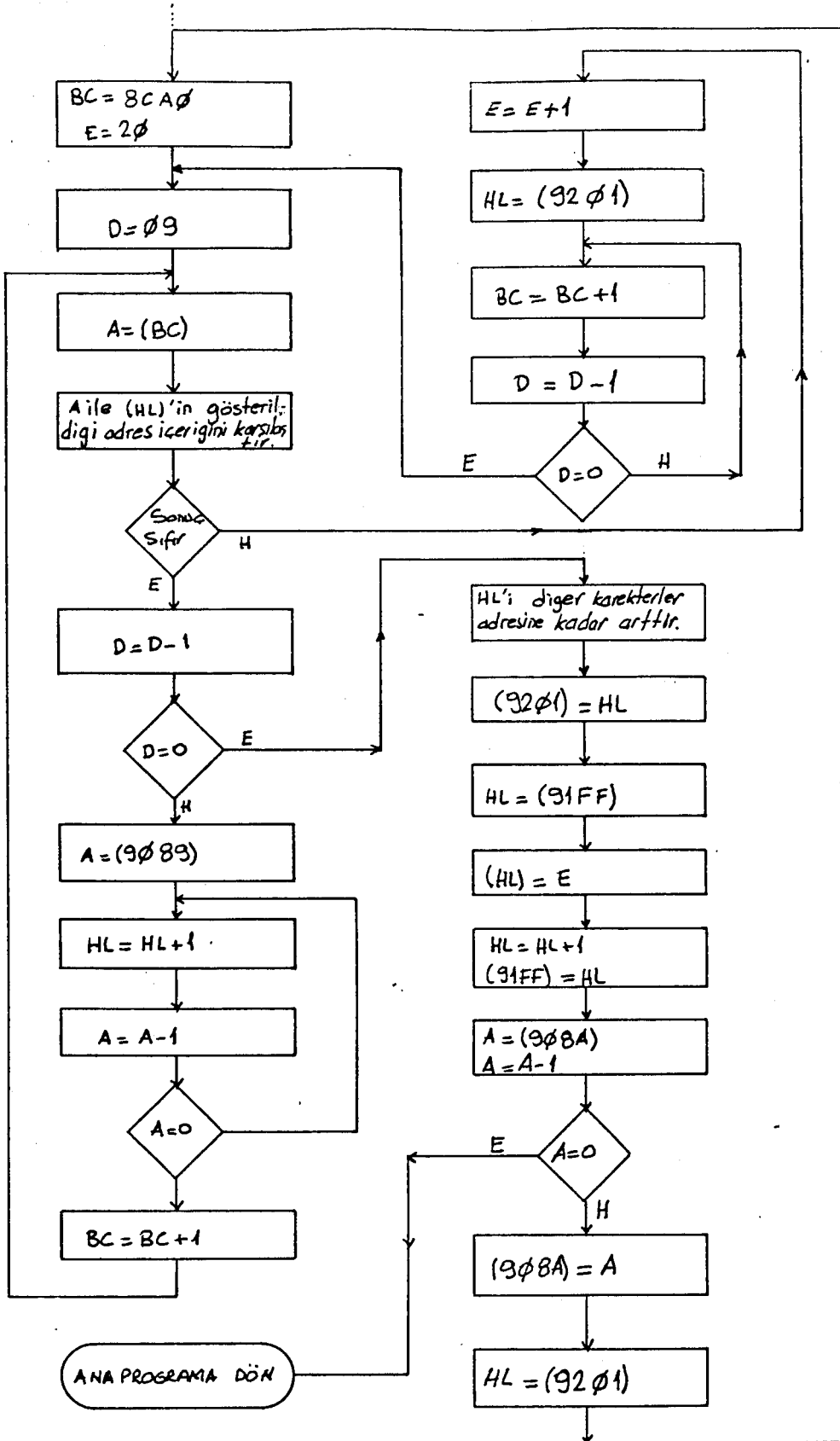
Hazırlanan alt program iki aşamadan oluşmaktadır. Programın ilk aşamasında, optik kafanın hareketi, örnek alımı ve alınan örneklerin hafızaya atılması işlemleri yürütülmektedir. İkinci aşamada ise ilk aşamada hafızaya atılan örnekler karakterlerin belirlenmesi ve belirlenen karakterlerin hafızaya yüklenmesini sağlamaktadır.

Alt programın ilk basamağında, Z-80 PIO kartının A ve B portları çalışma koşullarına göre programlanır. Daha sonra PIO kartının A portu aracılığı ile yazıcıya 80 karakter için gerekli olan "Interface" sinyalleri ile "ASCII" karakter kodları gönderilir. Gönderilen bu sinyaller ile optik kafanın hareket etmesi sağlanır. Optik kafanın hareketiyle birlikte örnek alımına başlanır. Örnek alma işlemi "GİRİŞ" bölümünün "1.4" nolu alt bölümüyle "DONANIM" bölümünün "2.4" nolu alt bölümüne uygun olarak ve bir satır boyunca 960 örnek alınarak yapılır. Alınan bu örnekler hafızada 35000 (88B8 Hex) nolu adresten itibaren yüklenir. Bir satır için örnekleme alındıktan sonra alt programın ikinci aşaması olan karakterlerin belirlenmesi işlemine geçilir.

Karakterlerin belirlenmesi, data olarak girilen nokta model verileriyle örnekleme sonucunda alınan verilerin karşılaştırılması ile yapılır. Karşılaştırma sonucunda belirlenen karakterler 37120 (9100 Hex) numaralı hafıza adresinden itibaren yüklenir. Karakterlerin belirlenmesi işlemi tamamlandıktan sonra ana programa dönlür.



Şekil 3.2. Alt program akış şeması



Şekil 3.2. Alt program akış şeması

(Devamı)

#### 4. GENEL SONUÇLAR

##### 4.1. Sonuçlar

Yazıcıda basılmış bilgisayar programlarını optik bir sistemle okuyup, bu programları bilgisayara yüklemek amacıyla yapılan bu çalışmada şu sonuçlar elde edilmiştir.

Kağıt üzerindeki siyah-beyaz bölgelerin, kağıdın yüzeyinden yansıyan ışık sinyalleri ile optik olarak belirlenmesi, kullanılan optik algılayıcıların yüksek duyarlılıkta olmasını zorunlu kılmaktadır. Yapılan deneysel çalışmalarda optik sistemler için üretilmiş olan normal fototransistör ve fotodiyot gibi ışık algılayıcılarının kağıt yüzeyinden yansıyıp fiber optik kablolarla iletilen bu ışık sinyallerini algılamada yetersiz kaldıkları gözlenmiştir. Fiber optik sistemler için üretilmiş ve yüksek duyarlılığa sahip olan "MFOD200" ve "MFOD300" fototransistörleri bu ışık sinyallerini algılayabilmektedirler. Bu tip fototransistörlerin elimizde yeterli miktarda olmayışı ve özel amaçlı oldukları için piyasada bulunmayışları sebebiyle bu çalışmada tam olarak istenilen amaca ulaşamamıştır. Uygun çap ve kalitede fiber optik kablonun bulunamayışı amaca ulaşamamasında diğer bir etkidir.

Bu çalışmada elimizde bulunan 2 adet "MFOD200" ve 1 adet "MFOD300" fototransistörleriyle amaçtan biraz daha farklı bir uygulama gerçekleştirilmiştir.

#### 4.2. Gerçeklenen Uygulama

Kısıtlı imkanlarla yapılan bu çalışmada, bilgisayar çıktısı resim, şekil ve büyük boyutlardaki yazılar, optik olarak algılanıp bilgisayar ekranına çizilebilmektedir. Kağıt üzerindeki resim ve şekillerin belirlenmesinde takip edilen yol şöyledir.

Yazıcıda basılmış olan resim ve şekiller optik kafa ile satır satır taranarak her bir satır için 450 örnek alınır. Alınan bu örnekler belirlenen bir hafıza birimine yüklenir. Örnek alma işlemi "YAZILIM" bölümünde anlatılan alt program yardımıyla yapılmaktadır. Burada karakterlerin belirlenmesi söz konusu olmadığı için bu alt programın ilk kısmı kullanılır. Karakterlerin belirlenmesiyle ilgili olan kısım çıkartılmıştır. Bir satır için örnekleme alındıktan sonra EK 7.3'te verilen "BASIC" programa dönülür. Bu program yardımıyla hafızadaki örnekleme verileri sıra ile alınarak kağıt üzerindeki resmin ilk 25 satırı için aynı işlemler tekrar edilir. Sonuçta optik olarak algılanması istenilen resmin ilgili satırları ekranda oluşturulur. Bu uygulama ile okunmuş ve ekranı kağıt üzerine kopya eden "SCREENCOPY" programı ile kağıda aktarılmış bir kaç örnek EK 8'de verilmiştir.

## KAYNAKLAR DİZİNİ

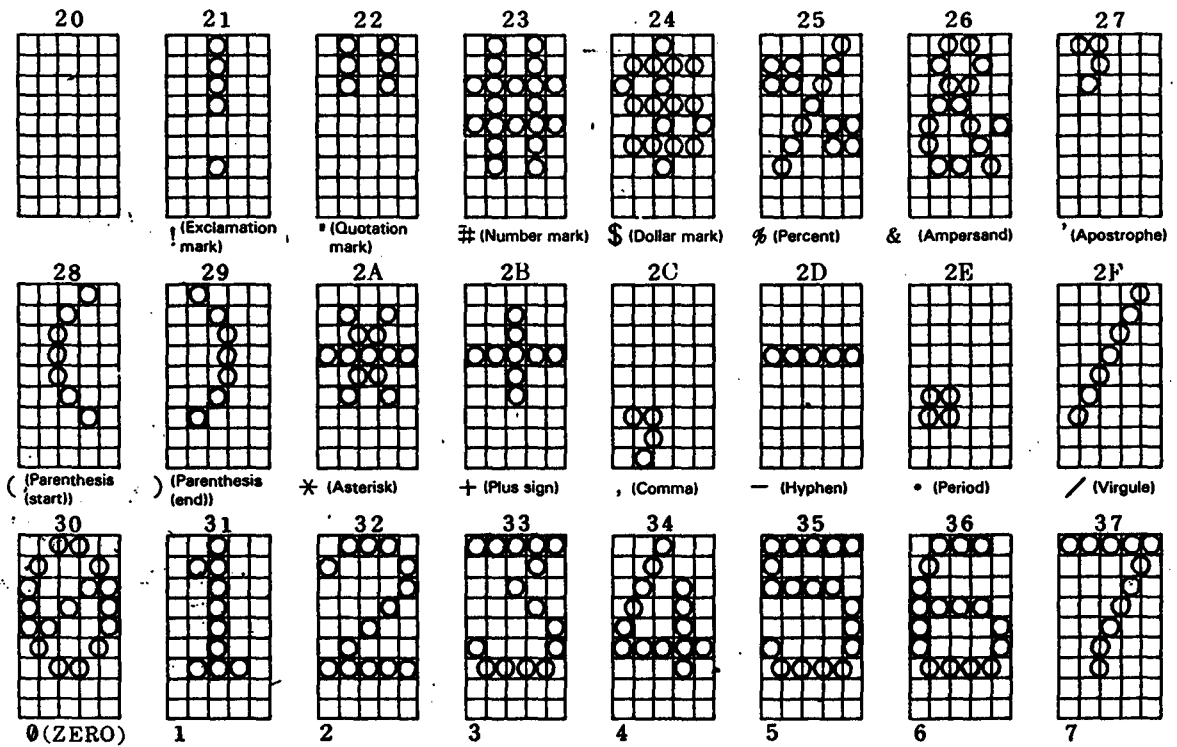
1. OKI electric industry company ltd. , 1981, Microline 83-A Standart Dot-Impact Matrix line Printer User's Manual.
2. Tischer, M. , 1986 , Optoelectronics Text Lab Manual.
3. National Semiconductor Corporation , 1978 , CMOS Databook.
4. Texas Instruments, 1973 , The TTL Databook.
5. National Semiconductor Corporation , 1978 , Linear Databook.

## EKLER

- EK.1. Karakterlerin Nokta Modelleri
- EK.2. Microline 83-A Yazıcısının  
Değişik yazım modlarındaki  
Yazım Örnekleri
- EK.3. Darbe Motoru Sürücü Devresi
- EK.4. Tasarımlanan Devrenin Bağlantı  
Seması
- EK.5. "MFOD 200" ve "MFOD 300" Fototransistörlerin  
Elektriksel ve Optiksel Özellikleri
- EK.6. "Z-80 PIO" nun Yapısı ve Programlanması
- EK.7. Hazırlanan Bilgisayar Programları
  - 7.1. Ana program
  - 7.2. Alt program
  - 7.3. Gerçeklenen uygulamanın programı
- EK .8. Gerçeklenen Sistem ile Alınan Birkaç Örnek

EK-1

Karakterlerin Nokta Modelleri



Note: Numerals are hexadecimal indication.

Fig. L-1 Dot Pattern (A)

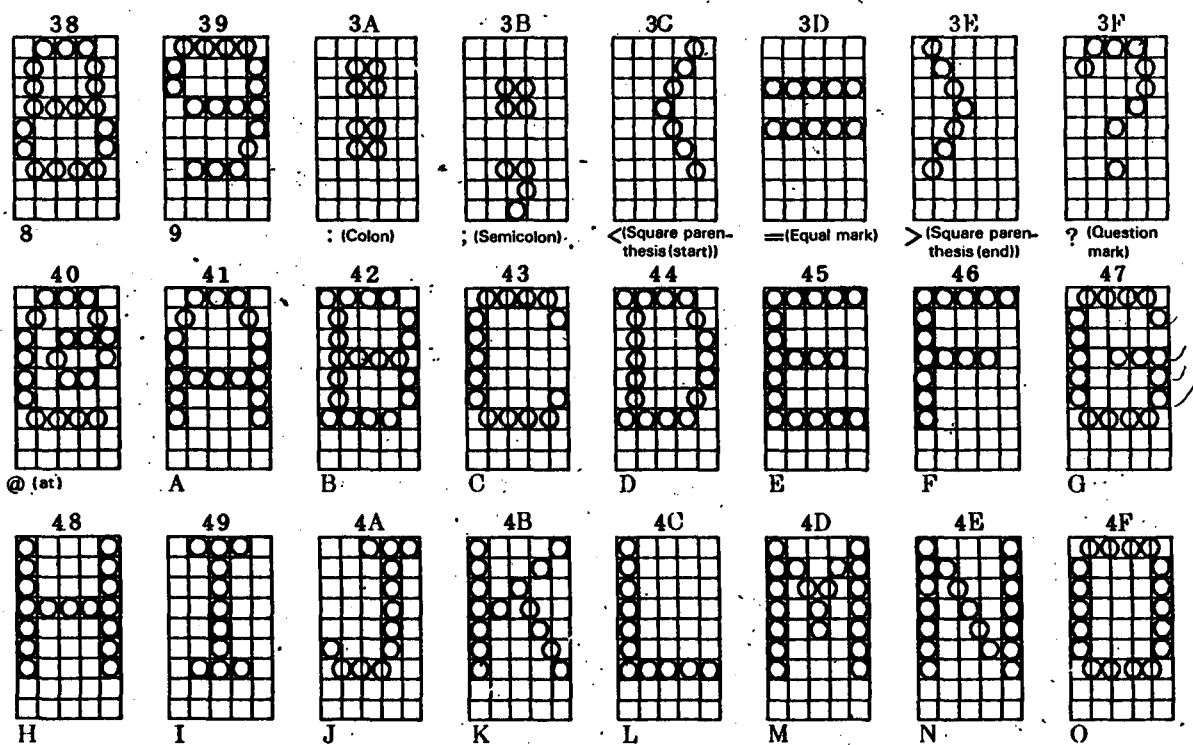


Fig. L-2 Dot Pattern (B)

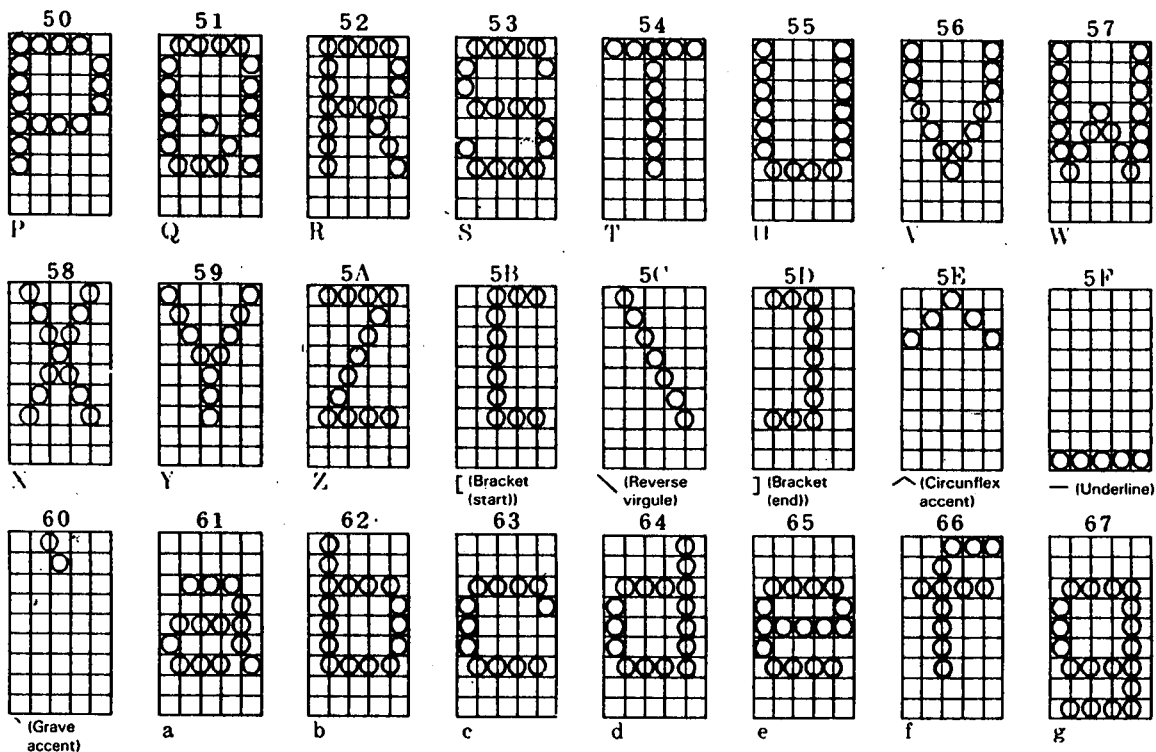


Fig. L-3 Dot Pattern (C)

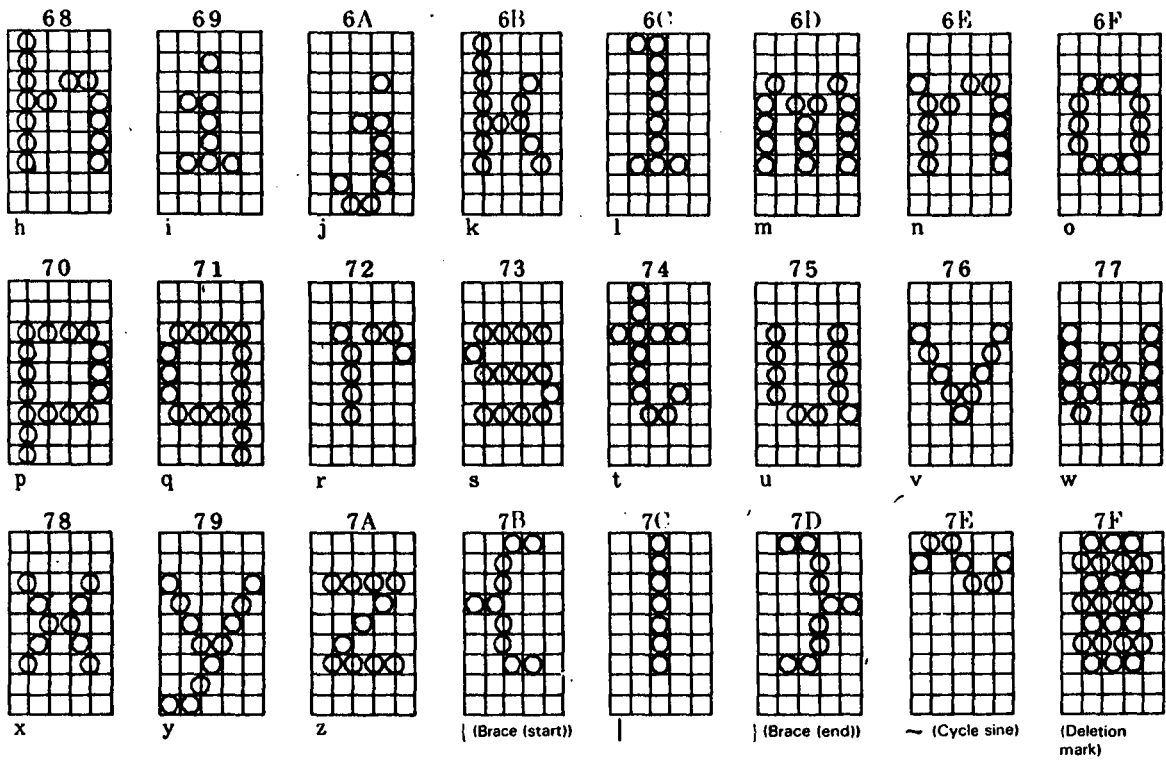


Fig. L-4 Dot Pattern (D)

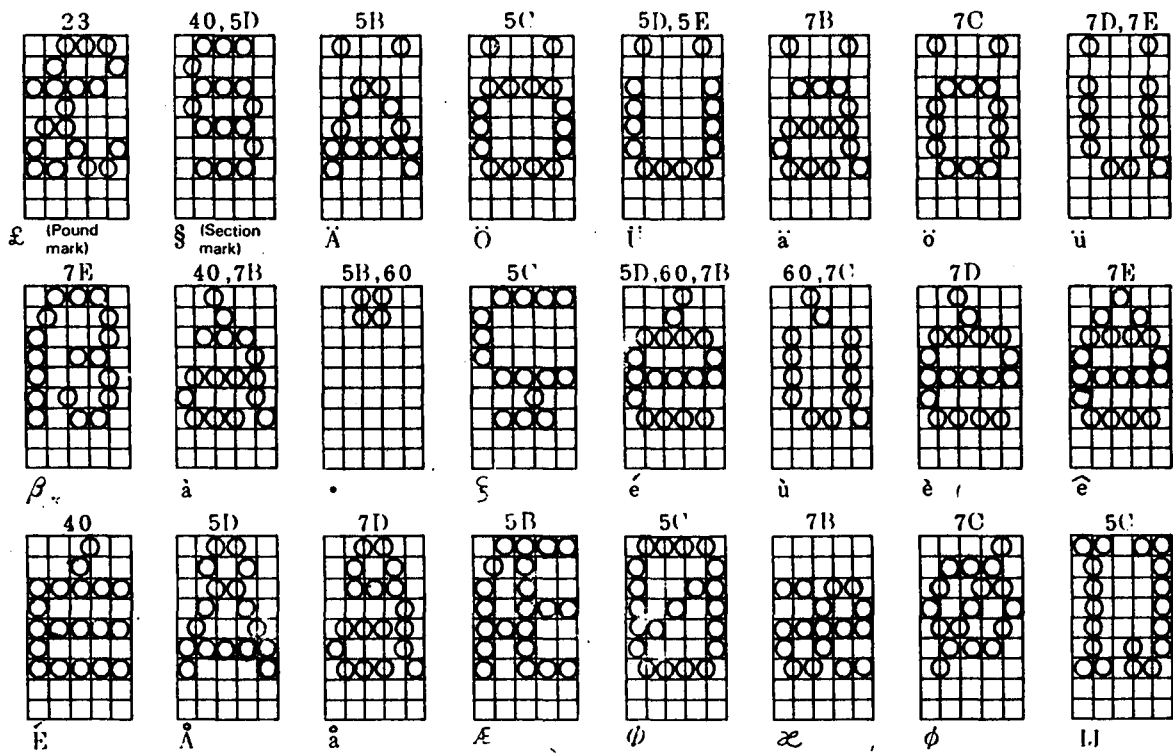
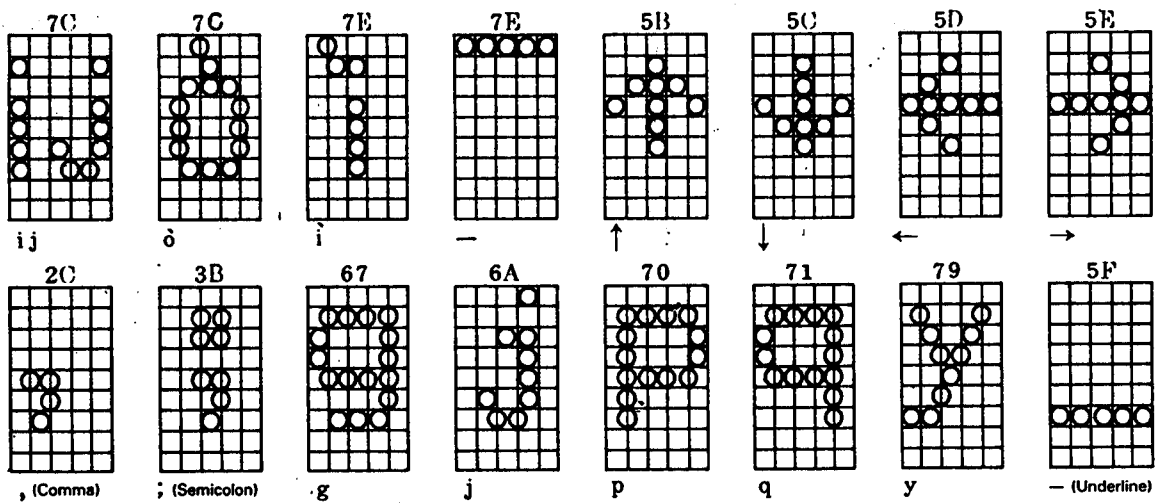


Fig. L-5 Dot Pattern (E)



*Note: Above 2C to 5F are the ascender characters in case of 8 LPI printing.*

EK-2

Microline 83-A Yazıcısının DEğişik Yazım Modlarındaki Yazım Örnekleri

APPENDIX K PRINTING EXAMPLE

```

*****      print example      *****

..... 6 lpi .....

( 10 cpi )
!"#$%&'()*+,-./0123456789:;<=>?@ABCDEFGHIJKLMNopqrstuvwxyz[\]^_`abcdefghijklmnopqr
stuvwxyz{|}~"
.....

( 16.5 cpi )
!"#$%&'()*+,-./0123456789:;<=>?@ABCDEFGHIJKLMNopqrstuvwxyz[\]^_`abcdefghijklmnopqr
stuvwxyz{|}~"
.....

< 5 cpi >
!"#$%&'()*+,-./0123456789:;<=>?@ABCDEFGHIJKLMNopqrstuvwxyz[\]^_`abcdefghijklmnopqr
stuvwxyz{|}~"
.....

< 8.3 cpi >
!"#$%&'()*+,-./0123456789:;<=>?@ABCDEFGHIJKLMNopqrstuvwxyz[\]^_`abcdefghijklmnopqr
stuvwxyz{|}~"
.....

..... 8 lpi .....

( 10 cpi )
!"#$%&'()*+,-./0123456789:;<=>?@ABCDEFGHIJKLMNopqrstuvwxyz[\]^_`abcdefghijklmnopqr
stuvwxyz{|}~"
.....

( 16.5 cpi )
!"#$%&'()*+,-./0123456789:;<=>?@ABCDEFGHIJKLMNopqrstuvwxyz[\]^_`abcdefghijklmnopqr
stuvwxyz{|}~"
.....

< 5 cpi >
!"#$%&'()*+,-./0123456789:;<=>?@ABCDEFGHIJKLMNopqrstuvwxyz[\]^_`abcdefghijklmnopqr
stuvwxyz{|}~"
.....

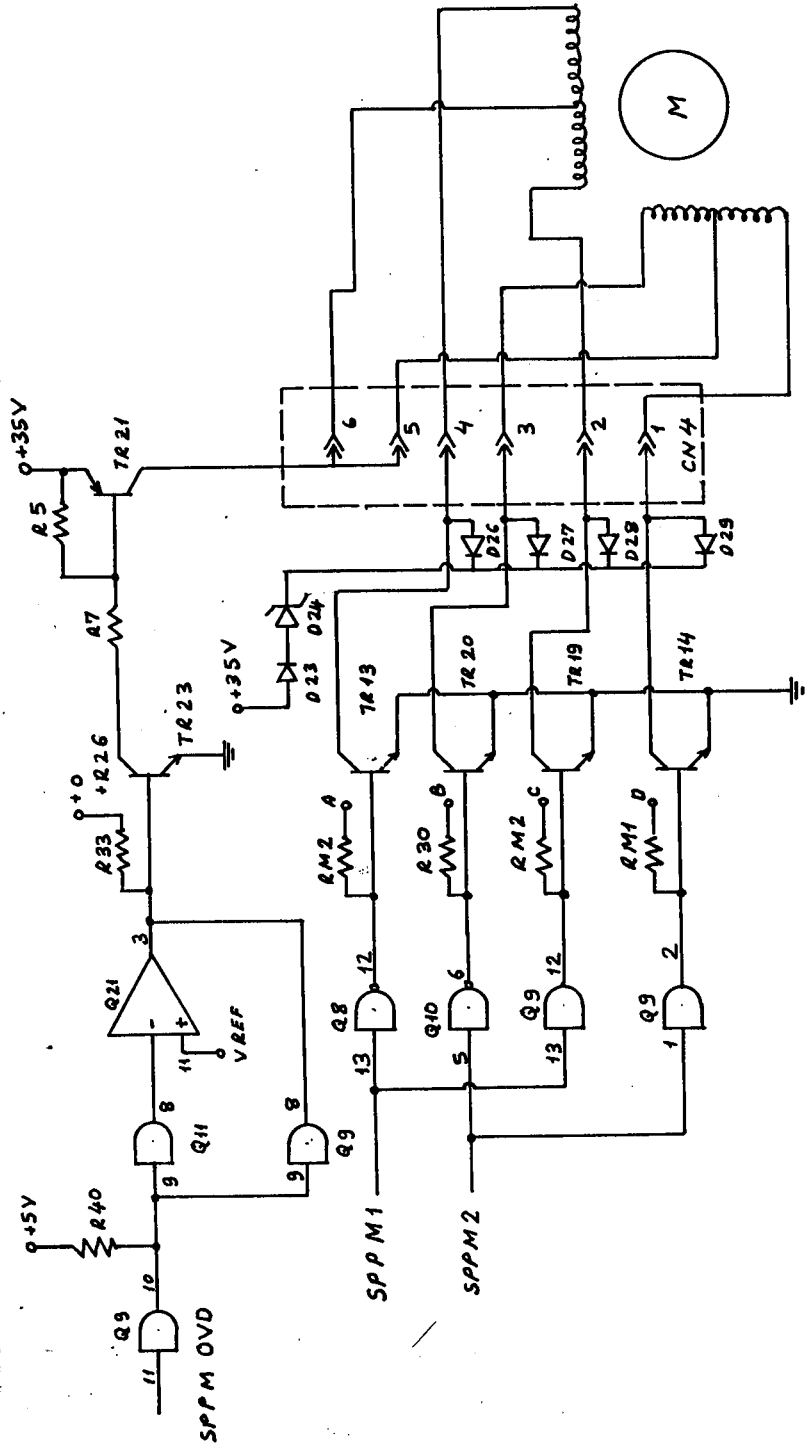
< 8.3 cpi >
!"#$%&'()*+,-./0123456789:;<=>?@ABCDEFGHIJKLMNopqrstuvwxyz[\]^_`abcdefghijklmnopqr
stuvwxyz{|}~"
.....

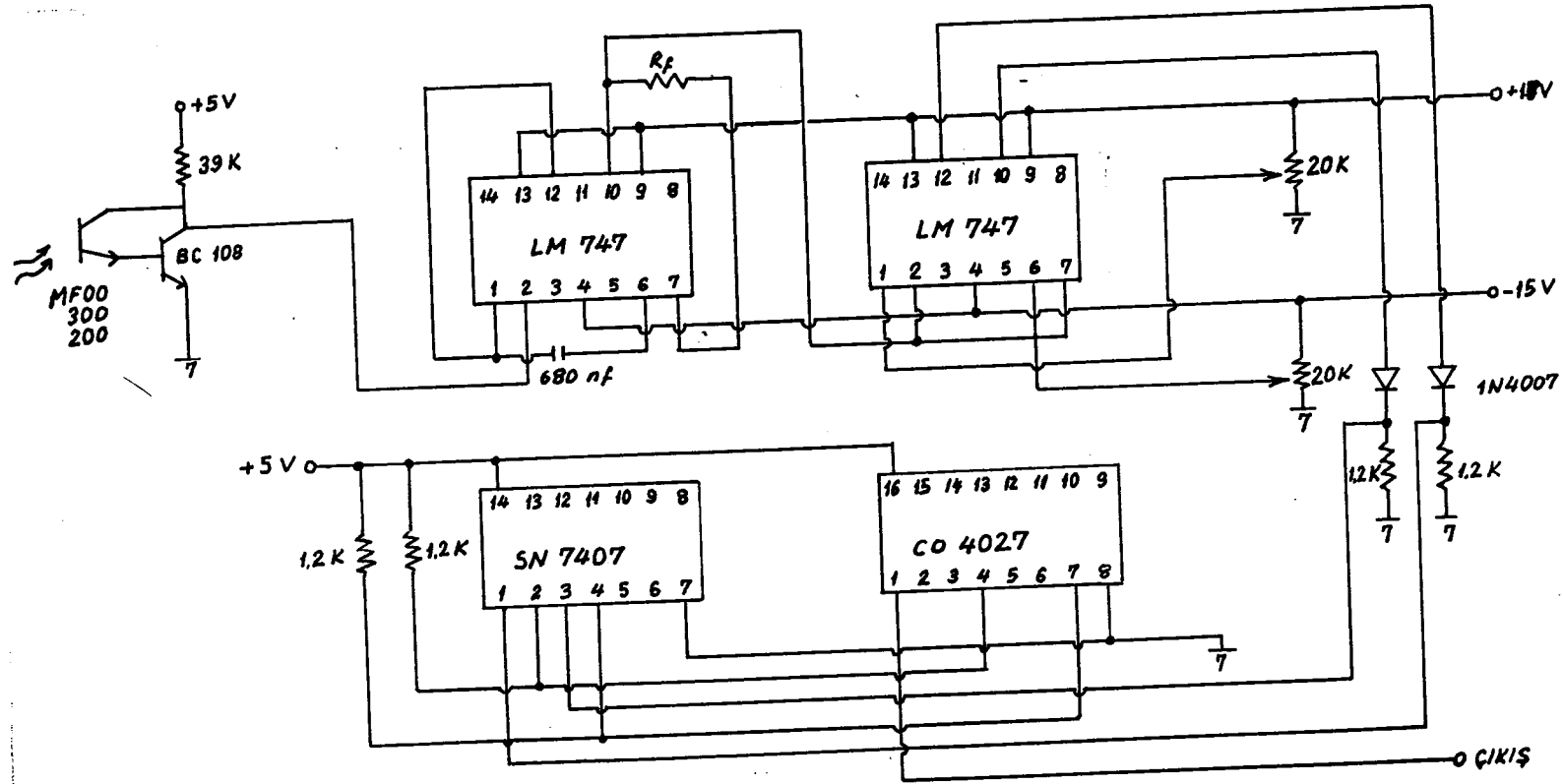
```

Fig. K-1 Printing Example (A)

EX-3

Darbe Motoru Sürücü Devresi





Tasarımın Devrenin Bağlantı Şeması

EK-4

EK-5

"MFOD 200" ve "MFOD 300" Fototransistörlerin  
Elektriksel ve optiksel Özellikleri



**MOTOROLA**

**SEMICONDUCTORS**

P.O. BOX 20912 • PHOENIX, ARIZONA 85036

**MFOD200**

**FIBER OPTICS  
NPN SILICON  
PHOTOTRANSISTOR**



**PHOTOTRANSISTOR FOR FIBER OPTICS SYSTEMS**

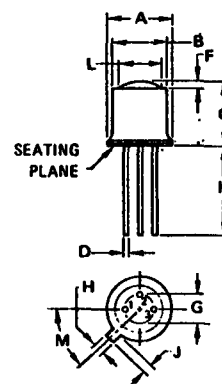
... designed for infrared radiation detection in medium length, medium frequency Fiber Optic Systems. Typical applications include: medical electronics, industrial controls, security systems, M6800 Microprocessor systems, etc.

- Spectral Response Matched to MFOE 200
- Hermetic Metal Package for Stability and Reliability
- High Sensitivity for Medium Length Fiber Optic Control Systems
- Compatible with AMP Mounting Bushing #227015



**MAXIMUM RATINGS (T<sub>A</sub> = 25°C unless otherwise noted).**

Rating (Note 1)	Symbol	Value	Unit
Collector-Emitter Voltage	V <sub>CEO</sub>	40	Volts
Emitter-Base Voltage	V <sub>EBO</sub>	10	Volts
Collector-Base Voltage	V <sub>CBO</sub>	70	Volts
Light Current	I <sub>L</sub>	250	mA
Total Device Dissipation @ T <sub>A</sub> = 25°C Derate above 25°C	P <sub>D</sub>	250 1.67	mW mW/°C
Operating and Storage Junction Temperature Range	T <sub>J</sub> , T <sub>stg</sub>	-55 to +175	°C



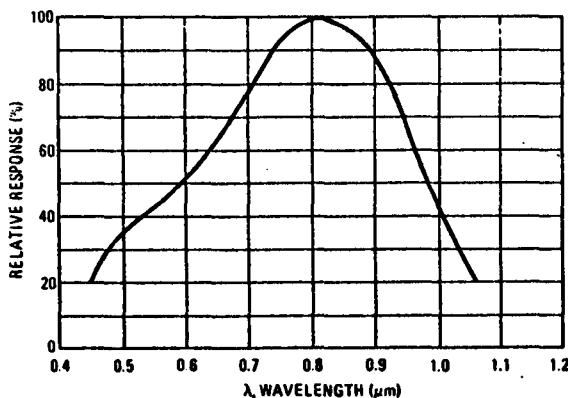
STYLE 1:  
PIN 1. EMITTER  
PIN 2. BASE  
PIN 3. COLLECTOR

- NOTES:
- LEADS WITHIN .13 mm (.005) RADIUS OF TRUE POSITION AT SEATING PLANE, AT MAXIMUM MATERIAL CONDITION.
  - PIN 3 INTERNALLY CONNECTED TO CASE.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	5.31	5.84	0.209	0.230
B	4.52	4.95	0.178	0.195
C	6.22	6.98	0.245	0.275
D	0.41	0.48	0.016	0.019
F	1.19	1.60	0.047	0.063
G	2.54 BSC		0.100 BSC	
H	0.99	1.17	0.039	0.046
J	0.84	1.22	0.033	0.048
K	12.70	-	0.500	-
L	3.35	4.01	0.132	0.158
M	45° BSC		45° BSC	

CASE 82-04

**FIGURE 1 - CONSTANT ENERGY SPECTRAL RESPONSE**



## MFOD200

STATIC ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$  unless otherwise noted)

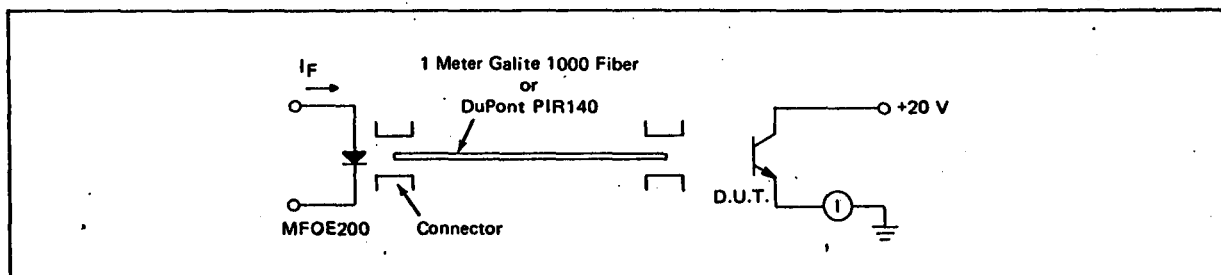
Characteristic	Symbol	Min	Typ	Max	Unit
Collector Dark Current ( $V_{CC} = 20\text{ V}$ , $H \approx 0$ ) $T_A = 25^\circ\text{C}$ $T_A = 100^\circ\text{C}$	$I_{CEO}$	— —	— 4.0	25 —	nA $\mu\text{A}$
Collector-Base Breakdown Voltage ( $I_C = 100\ \mu\text{A}$ )	$V_{(BR)CBO}$	50	—	—	Volts
Collector-Emitter Breakdown Voltage ( $I_C = 100\ \mu\text{A}$ )	$V_{(BR)CEO}$	30	—	—	Volts
Emitter-Collector Breakdown Voltage ( $I_E = 100\ \mu\text{A}$ )	$V_{(BR)ECO}$	7.0	—	—	Volts

OPTICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ )

Characteristic	Symbol	Min	Typ	Max	Unit
Responsivity (Figure 2)	R	14.5	18	—	$\mu\text{A}/\mu\text{W}$
Photo Current Rise Time (Note 1) ( $R_L = 100\ \text{ohms}$ )	$t_r$	—	2.5	—	$\mu\text{s}$
Photo Current Fall Time (Note 1) ( $R_L = 100\ \text{ohms}$ )	$t_f$	—	4.0	—	$\mu\text{s}$

Note 1. For unsaturated response time measurements, radiation is provided by pulsed GaAs (gallium-arsenide) light-emitting diode ( $\lambda \approx 900\ \text{nm}$ ) with a pulse width equal to or greater than 10 microseconds,  $I_C = 1.0\ \text{mA}$  peak.

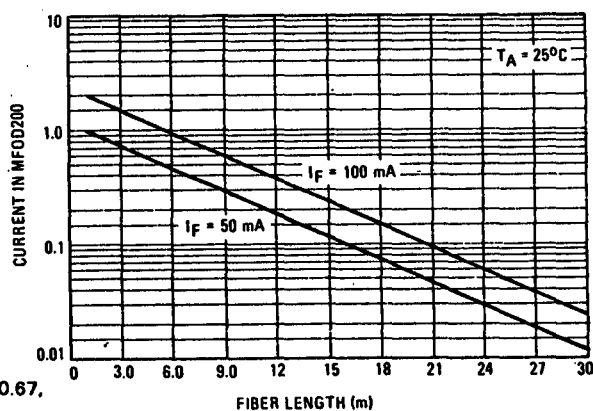
FIGURE 2 — RESPONSIVITY TEST CONFIGURATION



## TYPICAL CHARACTERISTICS

## COUPLED SYSTEM PERFORMANCE versus FIBER LENGTH\*

FIGURE 3 — MFOE200 SOURCE



\*0.045" Dia. Fiber Bundle, N.A.  $\approx 0.67$ ,  
Attenuation at 900 nm  $\approx 0.6\ \text{dB/m}$

Motorola reserves the right to make changes without further notice to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. Motorola and M are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Employment Opportunity/Affirmative Action Employer.



# MOTOROLA SEMICONDUCTORS

P.O. BOX 20912 • PHOENIX, ARIZONA 85036

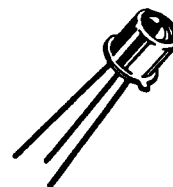
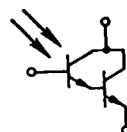
## PHOTODARLINGTON TRANSISTOR FOR FIBER OPTICS SYSTEMS

... designed for infrared radiation detection in long length, low frequency Fiber Optics Systems. Typical applications include: industrial controls, security systems, medical electronics, M6800 Microprocessor Systems, etc.

- Spectral Response Matched to MFOE100, 200
- Hermetic Metal Package for Stability and Reliability
- Very High Sensitivity for Long Length Fiber Optics Control Systems
- Compatible With AMP Mounting Bushing #227015

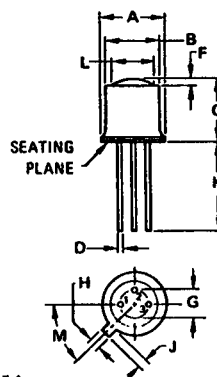
## MFOD300

### FIBER OPTICS NPN SILICON PHOTODARLINGTON TRANSISTOR



#### MAXIMUM RATINGS (T<sub>A</sub> = 25°C unless otherwise noted).

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V <sub>CE0</sub>	40	Volts
Emitter-Base Voltage	V <sub>EB0</sub>	10	Volts
Collector-Base Voltage	V <sub>CB0</sub>	70	Volts
Light Current	I <sub>L</sub>	250	mA
Total Device Dissipation @ T <sub>A</sub> = 25°C Derate above 25°C	P <sub>D</sub>	250 1.67	mW mW/°C
Operating and Storage Junction Temperature Range	T <sub>J</sub> , T <sub>stg.</sub>	-55 to +175	°C



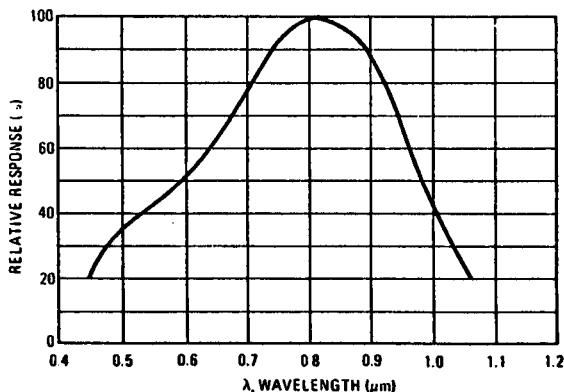
STYLE 1:  
PIN 1. EMITTER  
2. BASE  
3. COLLECTOR

- NOTES:
1. LEADS WITHIN .13 mm (.005) RADIUS OF TRUE POSITION AT SEATING PLANE, AT MAXIMUM MATERIAL CONDITION.
  2. PIN 3 INTERNALLY CONNECTED TO CASE.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	5.31	5.84	0.209	0.230
B	4.52	4.95	0.178	0.195
C	6.22	6.98	0.245	0.275
D	0.41	0.48	0.016	0.019
F	1.19	1.60	0.047	0.063
G	2.54 BSC		0.100 BSC	
H	0.99	1.17	0.039	0.046
J	0.84	1.22	0.033	0.048
K	12.70	-	0.500	-
L	3.35	4.01	0.132	0.158
M	45° BSC		45° BSC	

CASE 82-04

FIGURE 1 - CONSTANT ENERGY SPECTRAL RESPONSE



**MFOD300**

**STATIC ELECTRICAL CHARACTERISTICS (T<sub>A</sub> = 25°C)**

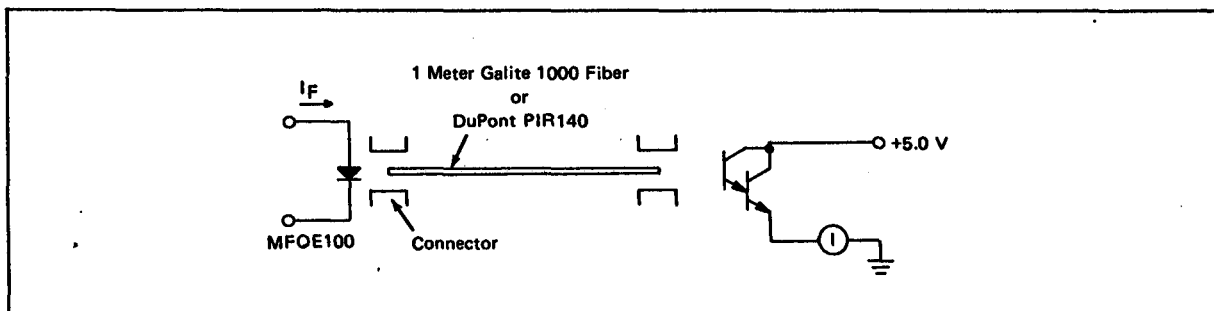
Characteristic	Symbol	Min	Typ	Max	Unit
Collector Dark Current (V <sub>CE</sub> = 10 V, H ≈ 0)	I <sub>CEO</sub>	—	10	100	nA
Collector-Base Breakdown Voltage (I <sub>C</sub> = 100 μA)	V <sub>(BR)CBO</sub>	50	—	—	Volts
Collector-Emitter Breakdown Voltage (I <sub>C</sub> = 100 μA)	V <sub>(BR)CEO</sub>	30	—	—	Volts
Emitter-Base Breakdown Voltage (I <sub>E</sub> = 100 μA)	V <sub>(BR)EBO</sub>	7.0	—	—	Volts

**OPTICAL CHARACTERISTICS (T<sub>A</sub> = 25°C)**

Characteristic	Symbol	Min	Typ	Max	Unit
Responsivity (Figure 2)	R	400	500	—	μA/μW
Photo Current Rise Time (Note 1) (R <sub>L</sub> = 100 ohms)	t <sub>r</sub>	—	40	—	μs
Photo Current Fall Time (Note 1) (R <sub>L</sub> = 100 ohms)	t <sub>f</sub>	—	60	—	μs

Note 1. For unsaturated response time measurements, radiation is provided by pulsed GaAs (gallium-arsenide) light-emitting diode (λ ≈ 900 nm) with a pulse width equal to or greater than 500 microseconds, I<sub>C</sub> = 1.0 mA peak.

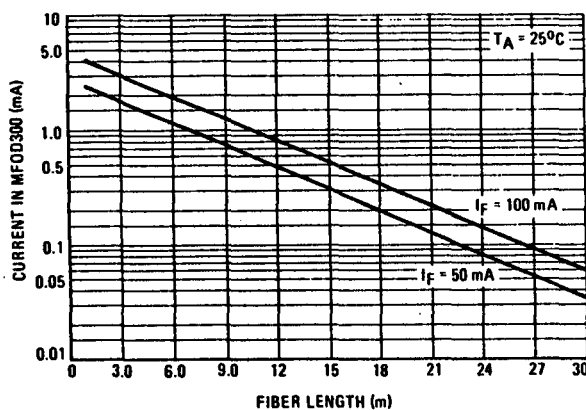
**FIGURE 2 – RESPONSIVITY TEST CONFIGURATION**



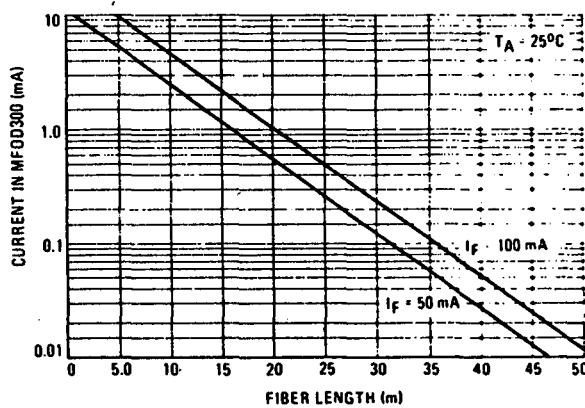
**TYPICAL CHARACTERISTICS**

**COUPLED SYSTEM PERFORMANCE versus FIBER LENGTH\***

**FIGURE 3 – MFOE100 SOURCE**



**FIGURE 4 – MFOE200 SOURCE**



\*0.045" Dia. Fiber Bundle, N.A. ≈ 0.67, Attenuation at 900 nm ≈ 0.6 dB/m

Motorola reserves the right to make changes to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others.

## Z-80 PIO'nun Yapısı ve Programlanması

**1.0 INTRODUCTION**

The Z80 Parallel I/O (PIO) Circuit is a programmable, two port device which provides a TTL compatible interface between peripheral devices and the Z80-CPU. The CPU can configure the Z80-PIO to interface with a wide range of peripheral devices with no other external logic required. Typical peripheral devices that are fully compatible with the Z80-PIO include most keyboards, paper tape readers and punches, printers, PROM programmers, etc. The Z80-PIO utilizes N channel silicon gate depletion load technology and is packaged in a 40 pin DIP. Major features of the Z80-PIO include:

- Two independent 8 bit bidirectional peripheral interface ports with 'handshake' data transfer control
- Interrupt driven 'handshake' for fast response
- Any one of four distinct modes of operation may be selected for a port including:
  - Byte output
  - Byte input
  - Byte bidirectional bus (Available on Port A only)
  - Bit control mode
- All with interrupt controlled handshake
- Daisy chain priority interrupt logic included to provide for automatic interrupt vectoring without external logic.
- Eight outputs are capable of driving Darlington transistors.
- All inputs and outputs fully TTL compatible
- Single 5 volt supply and single phase clock are required.

One of the unique features of the Z80-PIO that separates it from other interface controllers is that all data transfer between the peripheral device and the CPU is accomplished under total interrupt control. The interrupt logic of the PIO permits full usage of the efficient interrupt capabilities of the Z80-CPU during I/O transfers. All logic necessary to implement a fully nested interrupt structure is included in the PIO so that additional circuits are not required. Another unique feature of the PIO is that it can be programmed to interrupt the CPU on the occurrence of specified status conditions in the peripheral device. For example, the PIO can be programmed to interrupt if any specified peripheral alarm conditions should occur. This interrupt capability reduces the amount of time that the processor must spend in polling peripheral status.

## 2.0 PIO ARCHITECTURE

A block diagram of the Z80-PIO is shown in figure 2.0-1. The internal structure of the Z80-PIO consists of a Z80-CPU bus interface, internal control logic, Port A I/O logic, Port B I/O logic, and interrupt control logic. The CPU bus interface logic allows the PIO to interface directly to the Z80-CPU with no other external logic. However, address decoders and/or line buffers may be required for large systems. The internal control logic synchronizes the CPU data bus to the peripheral device interfaces (Port A and Port B). The two I/O ports (A and B) are virtually identical and are used to interface directly to peripheral devices.

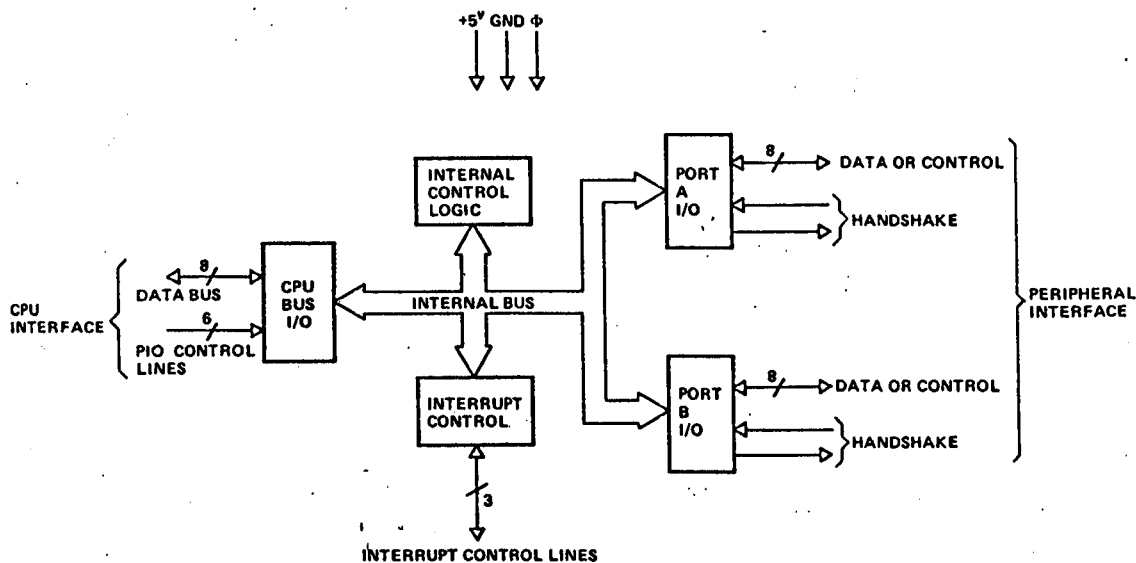


FIGURE 2.0-1  
PIO BLOCK DIAGRAM

The Port I/O logic is composed of 6 registers with "handshake" control logic as shown in figure 2.0-2. The registers include: an 8 bit data input register, an 8 bit data output register, a 2 bit mode control register, an 8 bit mask register, an 8 bit input/output select register, and a 2 bit mask control register.

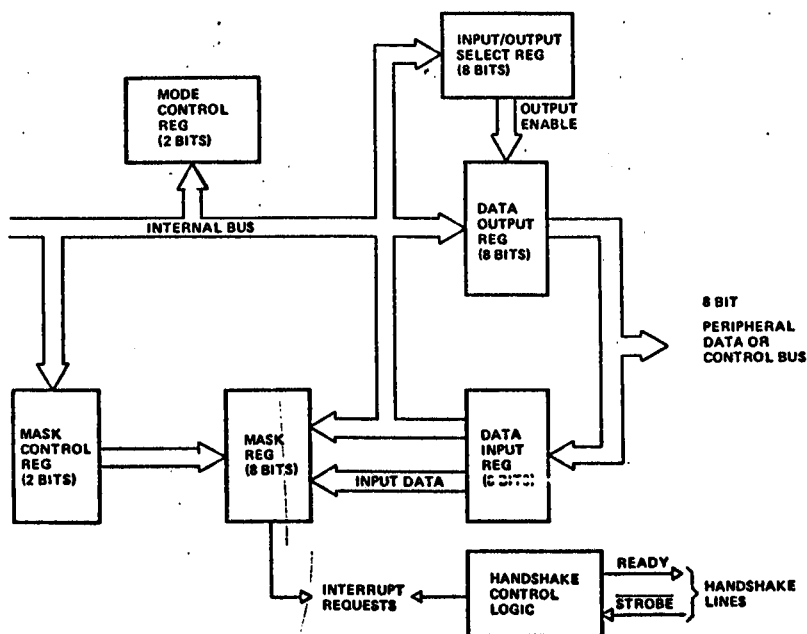


FIGURE 2.0-2  
PORT I/O BLOCK DIAGRAM

The 2-bit mode control register is loaded by the CPU to select the desired operating mode (byte output, byte input, byte bidirectional bus, or bit control mode). All data transfer between the peripheral device and the CPU is achieved through the data input and data output registers. Data may be written into the output register by the CPU or read back to the CPU from the input register at any time. The handshake lines associated with each port are used to control the data transfer between the PIO and the peripheral device.

The 8-bit mask register and the 8-bit input/output select register are used only in the bit control mode. In this mode any of the 8 peripheral data or control bus pins can be programmed to be an input or an output as specified by the select register. The mask register is used in this mode in conjunction with a special interrupt feature. This feature allows an interrupt to be generated when any or all of the unmasked pins reach a specified state (either high or low). The 2-bit mask control register specifies the active state desired (high or low) and if the interrupt should be generated when *all* unmasked pins are active (AND condition) or when *any* unmasked pin is active (OR condition). This feature reduces the requirement for CPU status checking of the peripheral by allowing an interrupt to be automatically generated on specific peripheral status conditions. For example, in a system with 3 alarm conditions, an interrupt may be generated if any one occurs or if all three occur.

The interrupt control logic section handles all CPU interrupt protocol for nested priority interrupt structures. The priority of any device is determined by its physical location in a daisy chain configuration. Two lines are provided in each PIO to form this daisy chain. The device closest to the CPU has the highest priority. Within a PIO, Port A interrupts have higher priority than those of Port B. In the byte input, byte output or bidirectional modes, an interrupt can be generated whenever a new byte transfer is requested by the peripheral. In the bit control mode an interrupt can be generated when the peripheral status matches a programmed value. The PIO provides for complete control of nested interrupts. That is, lower priority devices may not interrupt higher priority devices that have not had their interrupt service routine completed by the CPU. Higher priority devices may interrupt the servicing of lower priority devices.

When an interrupt is accepted by the CPU in mode 2, the interrupting device must provide an 8-bit interrupt vector for the CPU. This vector is used to form a pointer to a location in the computer memory where the address of the interrupt service routine is located. The 8-bit vector from the interrupting device forms the least significant 8 bits of the indirect pointer while the I Register in the CPU provides the most significant 8 bits of the pointer. Each port (A and B) has an independent interrupt vector. The least significant bit of the vector is automatically set to a 0 within the PIO since the pointer must point to two adjacent memory locations for a complete 16-bit address.

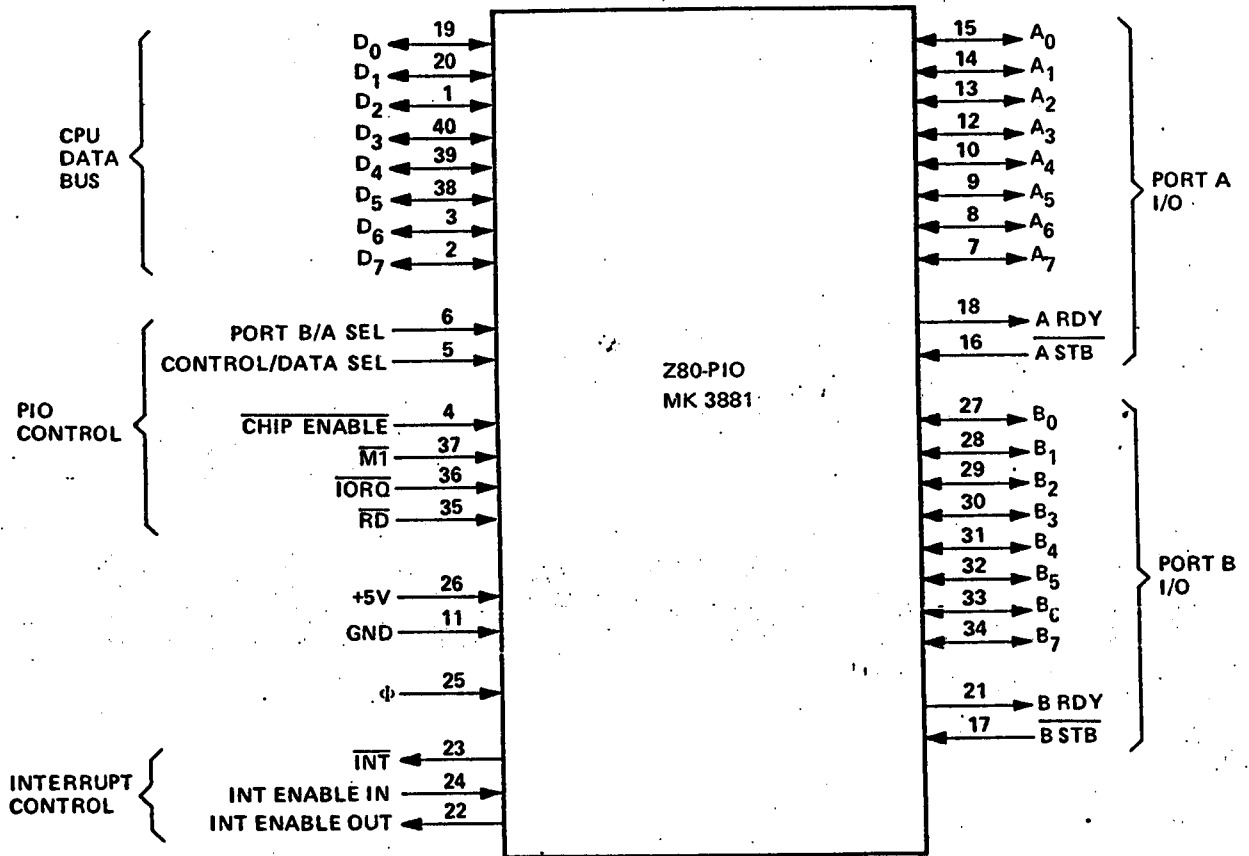
The PIO decodes the RETI (Return from interrupt) instruction directly from the CPU data bus so that each PIO in the system knows at all times whether it is being serviced by the CPU interrupt service routine without any other communication with the CPU.

### 3.0 PIN DESCRIPTION

A diagram of the Z80-PIO pin configuration is shown in figure 3.0-1. This section describes the function of each pin.

$D_7-D_0$	Z80-CPU Data Bus (bidirectional, tristate) This bus is used to transfer all data and commands between the Z80-CPU and the Z80-PIO. $D_0$ is the least significant bit of the bus.
B/A Sel	Port B or A Select (input, active high) This pin defines which port will be accessed during a data transfer between the Z80-CPU and the Z80-PIO. A low level on this pin selects Port A while a high level selects Port B. Often Address bit $A_0$ from the CPU will be used for this selection function.
C/D Sel	Control or Data Select (input, active high) This pin defines the type of data transfer to be performed between the CPU and the PIO. A high level on this pin during a CPU write to the PIO causes the Z-80 data bus to be interpreted as a <i>command</i> for the port selected by the B/A Select line. A low level on this pin means that the Z-80 data bus is being used to transfer data between the CPU and the PIO. Often Address bit $A_1$ from the CPU will be used for this function.
$\overline{CE}$	Chip Enable (input, active low) A low level on this pin enables the PIO to accept command or data inputs from the CPU during a write cycle or to transmit data to the CPU during a read cycle. This signal is generally a decode of four I/O port numbers that encompass port A and B, data and control.
$\Phi$	System Clock (input) The Z80-PIO uses the standard Z-80 system clock to synchronize certain signals internally. This is a single phase clock.
$\overline{MI}$	Machine Cycle One Signal from CPU (input, active low) This signal from the CPU is used as a sync pulse to control several internal PIO operations. When $\overline{MI}$ is active and the $\overline{RD}$ signal is active, the Z80-CPU is fetching an instruction from memory. Conversely, when $\overline{MI}$ is active and $\overline{IORQ}$ is active, the CPU is acknowledging an interrupt. In addition, the $\overline{MI}$ signal has two other functions within the Z80-PIO. <ol style="list-style-type: none"> <li>1. <math>\overline{MI}</math> synchronizes the PIO interrupt logic.</li> <li>2. When <math>\overline{MI}</math> occurs without an active <math>\overline{RD}</math> or <math>\overline{IORQ}</math> signal the PIO logic enters a reset state.</li> </ol>
$\overline{IORQ}$	Input/Output Request from Z80-CPU (input, active low) The $\overline{IORQ}$ signal is used in conjunction with the B/A Select, C/D Select, $\overline{CE}$ , and $\overline{RD}$ signals to transfer commands and data between the Z80-CPU and the Z80-PIO. When $\overline{CE}$ , $\overline{RD}$ and $\overline{IORQ}$ are active, the port addressed by B/A will transfer data to the CPU (a read operation). Conversely, when $\overline{CE}$ and $\overline{IORQ}$ are active but $\overline{RD}$ is not active, then the port addressed by B/A will be written into from the CPU with either data or control information as specified by the C/D Select signal. Also, if $\overline{IORQ}$ and $\overline{MI}$ are active simultaneously, the CPU is acknowledging an interrupt and the interrupting port will automatically place its interrupt vector on the CPU data bus if it is the highest priority device requesting an interrupt.
$\overline{RD}$	Read Cycle Status from the Z80-CPU (input, active low) If $\overline{RD}$ is active a MEMORY READ or I/O READ operation is in progress. The $\overline{RD}$ signal is used with B/A Select, C/D Select, $\overline{CE}$ , and $\overline{IORQ}$ signals to transfer data from the Z80-PIO to the Z80-CPU.

- IEI**      **Interrupt Enable In (input, active high)**  
This signal is used to form a priority interrupt daisy chain when more than one interrupt driven device is being used. A high level on this pin indicates that no other devices of higher priority are being serviced by a CPU interrupt service routine.
- IEO**      **Interrupt Enable Out (output, active high)**  
The IEO signal is the other signal required to form a daisy chain priority scheme. It is high only if IEI is high and the CPU is not servicing an interrupt from this PIO. Thus this signal blocks lower priority devices from interrupting while a higher priority device is being serviced by its CPU interrupt service routine.
- INT**      **Interrupt Request (output, open drain, active low)**  
When  $\overline{\text{INT}}$  is active the Z80-PIO is requesting an interrupt from the Z80-CPU.
- A<sub>0</sub> - A<sub>7</sub>**      **Port A Bus (bidirectional, tristate)**  
This 8 bit bus is used to transfer data and/or status or control information between Port A of the Z80-PIO and a peripheral device. A<sub>0</sub> is the least significant bit of the Port A data bus.
- A STB**      **Port A Strobe Pulse from Peripheral Device (input, active low)**  
The meaning of this signal depends on the mode of operation selected for Port A as follows:
- 1) **Output mode:** The positive edge of this strobe is issued by the peripheral to acknowledge the receipt of data made available by the PIO.
  - 2) **Input mode:** The strobe is issued by the peripheral to load data from the peripheral into the Port A input register. Data is loaded into the PIO when this signal is active.
  - 3) **Bidirectional mode:** When this signal is active, data from the Port A output register is gated onto Port A bidirectional data bus. The positive edge of the strobe acknowledges the receipt of the data.
  - 4) **Control mode.** The strobe is inhibited internally.
- A RDY**      **Register A Ready (output, active high)**  
The meaning of this signal depends on the mode of operation selected for Port A as follows:
- 1) **Output mode:** This signal goes active to indicate that the Port A output register has been loaded and the peripheral data bus is stable and ready for transfer to the peripheral device.
  - 2) **Input mode:** This signal is active when the Port A input register is empty and is ready to accept data from the peripheral device.
  - 3) **Bidirectional mode:** This signal is active when data is available in the Port A output register for transfer to the peripheral device. In this mode data is not placed on the Port A data bus unless  $\overline{\text{A STB}}$  is active.
  - 4) **Control mode:** This signal is disabled and forced to a low state.
- B<sub>0</sub> - B<sub>7</sub>**      **Port B Bus (bidirectional, tristate)**  
This 8 bit bus is used to transfer data and/or status or control information between Port B of the PIO and a peripheral device. The Port B data bus is capable of supplying 1.5ma @ 1.5V to drive Darlington transistors. B<sub>0</sub> is the least significant bit of the bus.
- B STB**      **Port B Strobe Pulse from Peripheral Device (input, active low)**  
The meaning of this signal is similar to that of  $\overline{\text{A STB}}$  with the following exception:  
In the Port A bidirectional mode this signal strobes data from the peripheral device into the Port A input register.
- B RDY**      **Register B Ready (output, active high)**  
The meaning of this signal is similar to that of  $\overline{\text{A RDY}}$  with the following exception:  
In the Port A bidirectional mode this signal is high when the Port A input register is empty and ready to accept data from the peripheral device.



**FIGURE 3.0-1  
PIO PIN CONFIGURATION**

## 4.0 PROGRAMMING THE PIO

### 4.1 RESET

The Z80-PIO automatically enters a reset state when power is applied. The reset state performs the following functions:

- 1) Both port mask registers are reset.
- 2) Port data bus lines are set to a high impedance state and the Ready "handshake" signals are inactive (low).
- 3) The vector address registers are *not* reset.
- 4) Both port interrupt enable flip flops are reset.
- 5) Both port output registers are reset.

In addition to the automatic power on reset, the PIO can be reset by applying an  $\overline{MI}$  signal without the presence of a RD or IORQ signal. If no RD or IORQ is detected during  $\overline{MI}$  the PIO will enter the reset state immediately after the  $\overline{MI}$  signal goes inactive. The purpose of this reset is to allow a single external gate to generate a reset without a power down sequence. This approach was required due to the 40 pin packaging limitation.

Once the PIO has entered the internal reset state it is held there until the PIO receives a control word from the CPU.

### 4.2 LOADING THE INTERRUPT VECTOR

The PIO has been designed to operate with the Z80-CPU using the mode 2 interrupt response. This mode requires that an interrupt vector be supplied by the interrupting device. This vector is used by the CPU to form the address for the interrupt service routine of that port. This vector is placed on the Z-80 data bus during an interrupt acknowledge cycle by the highest priority device requesting service at that time. (Refer to the Z80-CPU Technical Manual for details on how an interrupt is serviced by the CPU). The desired interrupt vector is loaded into the PIO by writing a control word to the desired port of the PIO with the following format:

D7	D6	D5	D4	D3	D2	D1	D0
V7	V6	V5	V4	V3	V2	V1	0

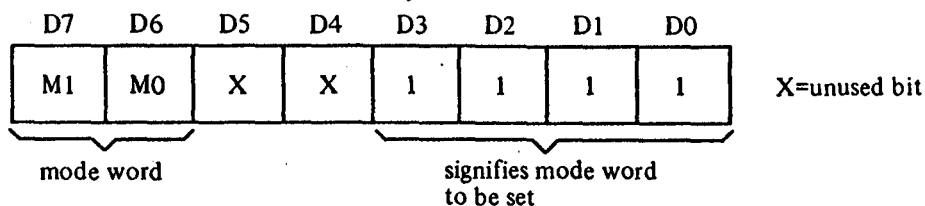
signifies this control word is an interrupt vector

D0 is used in this case as a flag bit which when low causes V7 thru V1 to be loaded into the vector register. At interrupt acknowledge time, the vector of the interrupting port will appear on the Z-80 data bus exactly as shown in the format above.

### 4.3 SELECTING AN OPERATING MODE

Port A of the PIO may be operated in any of four distinct modes: Mode 0 (output mode), Mode 1 (input mode), Mode 2 (bidirectional mode), and Mode 3 (control mode). Note that the mode numbers have been selected for mnemonic significance; i.e. 0=Out, 1=In, 2=Bidirectional. Port B can operate in any of these modes except Mode 2.

The mode of operation must be established by writing a control word to the PIO in the following format:



Bits M1 and M0 from the binary code for the desired mode according to the following table:

<u>M1</u>	<u>M0</u>	<u>Mode</u>
0	0	0 (output)
0	1	1 (input)
1	0	2 (bidirectional)
1	1	3 (control)

Bits D5 and D4 are ignored. Bits D3-D0 must be set to 1111 to indicate "Set Mode".

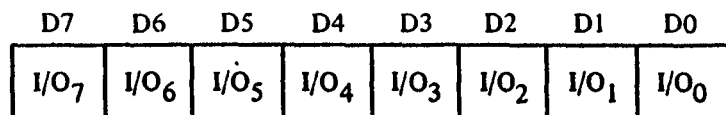
Selecting Mode 0 enables any data written to the port output register by the CPU to be enabled onto the port data bus. The contents of the output register may be changed at any time by the CPU simply by writing a new data word to the port. Also the current contents of the output register may be read back to the Z80-CPU at any time through the execution of an input instruction.

With Mode 0 active, a data write from the CPU causes the Ready handshake line of that port to go high to notify the peripheral that data is available. This signal remains high until a strobe is received from the peripheral. The rising edge of the strobe generates an interrupt (if it has been enabled) and causes the Ready line to go inactive. This very simple handshake is similar to that used in many peripheral devices.

Selecting Mode 1 puts the port into the input mode. To start handshake operation, the CPU merely performs an input read operation from the port. This activates the Ready line to the peripheral to signify that data should be loaded into the empty input register. The peripheral device then strobes data into the port input register using the strobe line. Again, the rising edge of the strobe causes an interrupt request (if it has been enabled) and deactivates the Ready signal.

Mode 2 is a bidirectional data transfer mode which uses all four handshake lines. Therefore only Port A may be used for Mode 2 operation. Mode 2 operation uses the Port A handshake signals for output control and the Port B handshake signals for input control. Thus, both A RDY and B RDY may be active simultaneously. The only operational difference between Mode 0 and the output portion of Mode 2 is that data from the Port A output register is allowed on to the port data bus only when A STB is active in order to achieve a bidirectional capability.

Mode 3 operation is intended for status and control applications and does not utilize the handshake signals. When Mode 3 is selected, the next control word sent to that port defines which of the port data bus lines are to be inputs and which are outputs. The format of the control word is shown below:

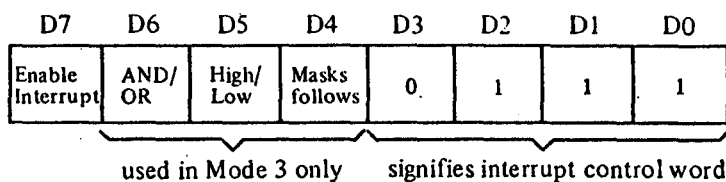


If any bit is set to a one, then the corresponding data bus line will be used as an input. Conversely, if the bit is reset, the line will be used as an output.

During Mode 3 operation the strobe signal is ignored and the Ready line is held low. Data may be written to a port or read from a port by the Z80-CPU at any time during Mode 3 operation. When reading a port, the data returned to the CPU will be composed of input data from port data bus lines assigned as inputs plus port output register data from those lines assigned as outputs.

#### 4.4 SETTING THE INTERRUPT CONTROL WORD

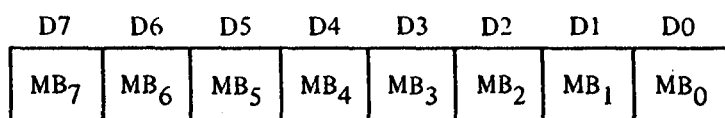
The interrupt control word for each port has the following format:



If bit D7=1 the interrupt enable flip flop of the port is set and the port may generate an interrupt. If bit D7=0 the enable flag is reset and interrupts may not be generated. If an interrupt is pending when the enable flag is set, it will then be enabled onto the CPU interrupt request line. Bits D6, D5, and D4 are used only with Mode 3 operation. They are disregarded for all other modes. These three bits are used to allow for interrupt operation in Mode 3 when any group of the I/O lines go to certain defined states. Bit D6 (AND/OR) defines the logical operation to be performed in port monitoring. If bit D6=1 an AND function is specified and if D6=0, an OR function is specified. For example, if the AND function is specified, all bits must go to a specified state before an interrupt will be generated while the OR function will generate an interrupt if any specified bit goes to the active state.

Bit D5 defines the active polarity of the port data bus line to be monitored. If bit D5=1 the port data lines are monitored for a high state while if D5=0 they will be monitored for a low state.

If bit D4=1 the next control word sent to the port will be interpreted as a mask as follows:



Only those port lines whose mask bit is zero will be monitored for generating an interrupt.



EK-7.2.

## Alt Program

Hisoft GENA3 Assembler. Page 1.

Pass 1 errors: 00

4C03		10		ENT	#
4C03	01FAFA	20	PIOSET	LD	BC,#FAFA
4C06	3EFF	30		LD	A,#FF
4C08	ED79	40		OUT	(C),A
4C0A	DECD	50		LD	C,#CD
4C0C	ED79	60		OUT	(C),A
4C0E	01FEFA	70		LD	BC,#FAFE
4C11	3EFF	80		LD	A,#FF
4C13	ED79	90		OUT	(C),A
4C15	ED79	100		OUT	(C),A
4C17	1650	110		LD	D,#50
4C19	01F8FA	120		LD	BC,#FAF8
4C1C	3E3F	130	HEAD	LD	A,#3F
4C1E	ED79	140		OUT	(C),A
4C20	3E1F	150		LD	A,#1F
4C22	ED79	160		OUT	(C),A
4C24	3E3F	170		LD	A,#3F
4C26	ED79	180		OUT	(C),A
4C28	ED78	190	BUSY	IN	A,(C)
4C2A	E640	200		AND	#40
4C2C	C2284C	210		JP	NZ,BUSY
4C2F	15	220		DEC	D
4C30	C21C4C	230		JP	NZ,HEAD
4C33	21B888	240		LD	HL,#8888
4C36	11C003	250		LD	DE,#03C0
4C39	01FCFA	260		LD	BC,#FAFC
4C3C	ED78	270		IN	A,(C)
4C3E	77	280		LD	(HL),A
4C3F	23	290		INC	HL
4C40	1B	300		DEC	DE
4C41	01F8FA	310		LD	BC,#FAF8
4C44	ED78	320		IN	A,(C)
4C46	E680	330		AND	#80
4C48	CA634C	340		JP	Z,HIGH
4C4B	01F8FA	350	LOW	LD	BC,#FAF8
4C4E	ED78	360	LOW1	IN	A,(C)
4C50	E680	370		AND	#80
4C52	C24E4C	380		JP	NZ,LOW1
4C55	01FCFA	390		LD	BC,#FAFC
4C58	ED78	400		IN	A,(C)
4C5A	77	410		LD	(HL),A
4C5B	23	420		INC	HL
4C5C	1B	430		DEC	DE
4C5D	7A	440		LD	A,D
4C5E	FEFF	450		CP	#FF
4C60	CA7B4C	460		JP	Z,ASCII
4C63	01F8FA	470	HIGH	LD	BC,#FAF8
4C66	ED78	480	HIGH1	IN	A,(C)
4C68	E680	490		AND	#80
4C6A	CA664C	500		JP	Z,HIGH1
4C6D	01FCFA	510		LD	BC,#FAFC
4C70	ED78	520		IN	A,(C)
4C72	77	530		LD	(HL),A
4C73	23	540		INC	HL
4C74	1B	550		DEC	DE
4C75	7A	560		LD	A,D

Hisoft GENA3 Assembler. Page 2.

4C76	FEFF	570	CP	#FF
4C78	C24B4C	580	JP	NZ,LOW
4C7B	3A8890	590	LD	A,(#9088)
4C7E	328A90	600	LD	(#908A),A
4C81	210091	610	LD	HL,#9100
4C84	22FF91	620	LD	(#91FF),HL
4C87	21B888	630	LD	HL,#8888
4C8A	220192	640	LD	(#9201),HL
4C8D	01A08C	650	LD	BC,#8CA0
4C90	1E20	660	LD	E,#20
4C92	1609	670	LD	D,#09
4C94	0A	680	LD	A,(BC)
4C95	BE	690	CP	(HL)
4C96	C2A94C	700	JP	NZ,DEGIL
4C99	15	710	DEC	D
4C9A	CAB54C	720	JP	Z,OKEY
4C9D	3A8990	730	LD	A,(#9089)
4CA0	23	740	INC	HL
4CA1	3D	750	DEC	A
4CA2	C2A04C	760	JP	NZ,INHL
4CA5	03	770	INC	BC
4CA6	C3944C	780	JP	COMP
4CA9	1C	790	INC	E
4CAA	2A0192	800	LD	HL,(#9201)
4CAD	03	810	INC	BC
4CAE	15	820	DEC	D
4CAF	C2A04C	830	JP	NZ,INCR
4CB2	C3924C	840	JP	LOAD
4CB5	3A8990	850	LD	A,(#9089)
4CB8	23	860	INC	HL
4CB9	23	870	INC	HL
4CBA	23	880	INC	HL
4CBB	3D	890	DEC	A
4CBC	C2B84C	900	JP	NZ,TEKRAR
4CBF	220192	910	LD	(#9201),HL
4CC2	2AFF91	920	LD	HL,(#91FF)
4CC5	73	930	LD	(HL),E
4CC6	23	940	INC	HL
4CC7	22FF91	950	LD	(#91FF),HL
4CCA	3A8A90	960	LD	A,(#908A)
4CCD	3D	970	DEC	A
4CCE	C8	980	RET	Z
4CCF	328A90	990	LD	(#908A),A
4CD2	2A0192	1000	LD	HL,(#9201)
4CD5	C38D4C	1010	END	JP
				START

Pass 2 errors: 00

Table used: 216 from 269

Executes: 19459

EK-7.3.

## Gerçeklenen Uygulamanın " BASIC" Program Kısmı

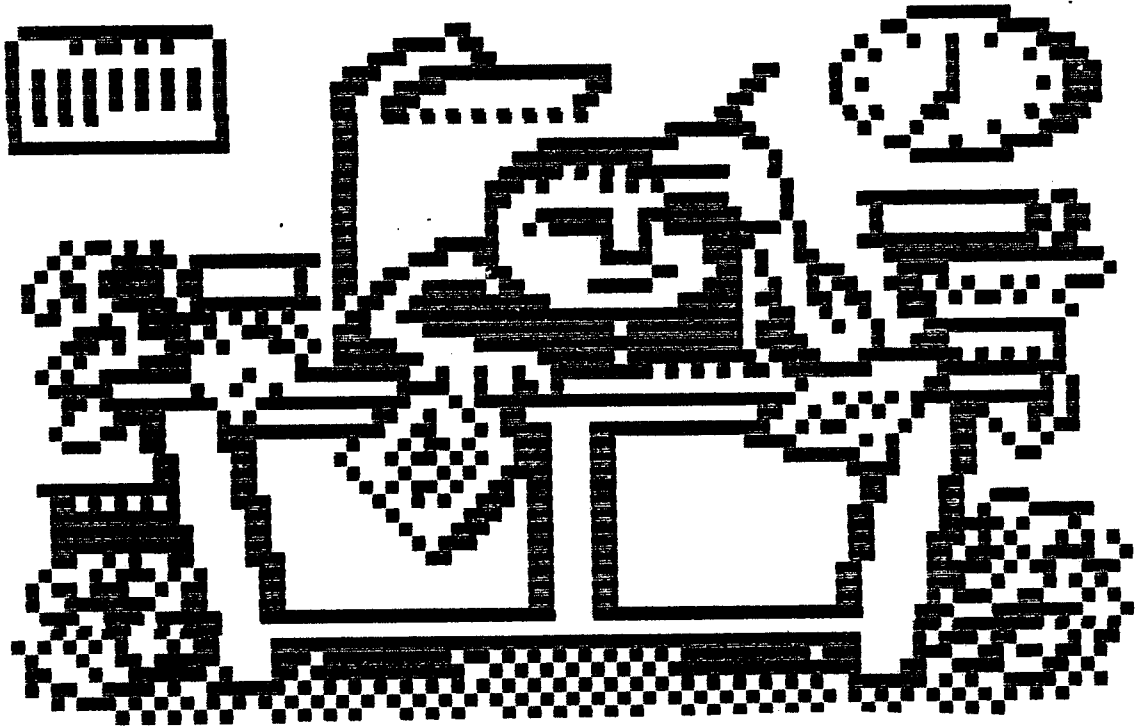
```
1 MODE 2: BORDER 12
10 MEMORY 88800
20 LOAD "READER.PRT"
25 FOR FG=1 TO 24
30 CALL 41000
40 ORIGIN 0.16*(25-FG)
45 S(0)=3:S(1)=5:S(2)=6
50 FOR J=0 TO 2
60 FOR I=35000 TO 35450
70 MOVE (I-35000).S(J)*2: DRAW R 0.(2^J AND PEEK(I))/2^J,(2^J AND PEEK(I))/2^J
80 NEXT I
90 NEXT J
110 NEXT FG
120 LOCATE 1.1: FOR KK=1 TO 10: PRINT CHR$(7): FOR TT=1 TO 500: NEXT TT: NEXT KK: LOCATE 1.1: INPUT A$
130 IF A$(">") THEN SAVE A$+".SEM".B.&C000.84000
```

EK-8

Gerçeklenen Sistemle Alınan Birkaç Örnek

ÖRNEK-1

ORJİNAL

**RAHA TSİZ**



ÖRNEK-2

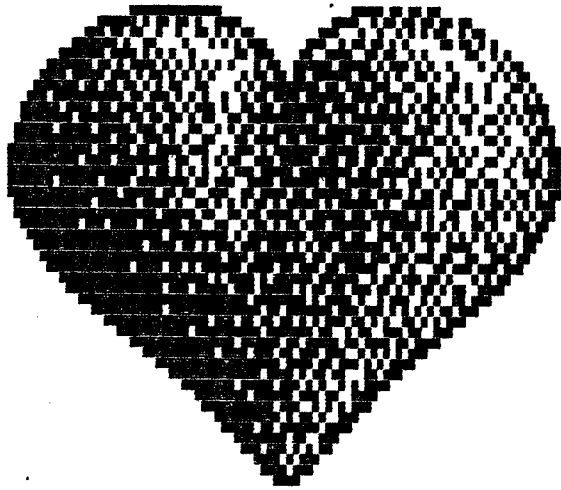
ORJİNAL

OPTICAL

READER



ÖRNEK-3  
ORJİNAL



**HEARTS**

